

Cited Reference 2

Japanese Patent Application Laid Open Publication No. 8-077785

Published on Mar. 22, 1996

Japanese Patent Application No. 6-207767

filed on Aug. 31, 1994

Applicant: Toshiba Corporation

Inventors: Endo et al.

Title: Semiconductor memory

This invention relates to a semiconductor memory e.g. an electrically erasable programmable read only memory, having a threshold voltage detection mechanism to rewrite data to each cell when applied and read data from cell are not found to be equal after having voltages higher and lower than data value applied to cell.

The memory includes a memory cell array and a threshold voltage level detection mechanism. Several memory cells are arranged in matrix form in the memory cell array and these cells are connected to the same word line. When a voltage which is either higher or lower than the reference voltage is applied in the word line, the data stored in a cell is read.

The memory operation is judged to be normal when the read data and data applied to the cell is found to be the same. The threshold voltage level detection mechanism senses if the threshold voltage of each cell changes if the read and applied data are different. The mechanism changes the threshold voltage of each cell so that a data re-write can be performed to each cell. Once the data is re-written, the threshold voltage level is returned to its original level. This invention advantageously prevents data destruction in memory cells by detecting its threshold voltage level and correcting it immediately when it drifts.

Table 1 (Example 1)

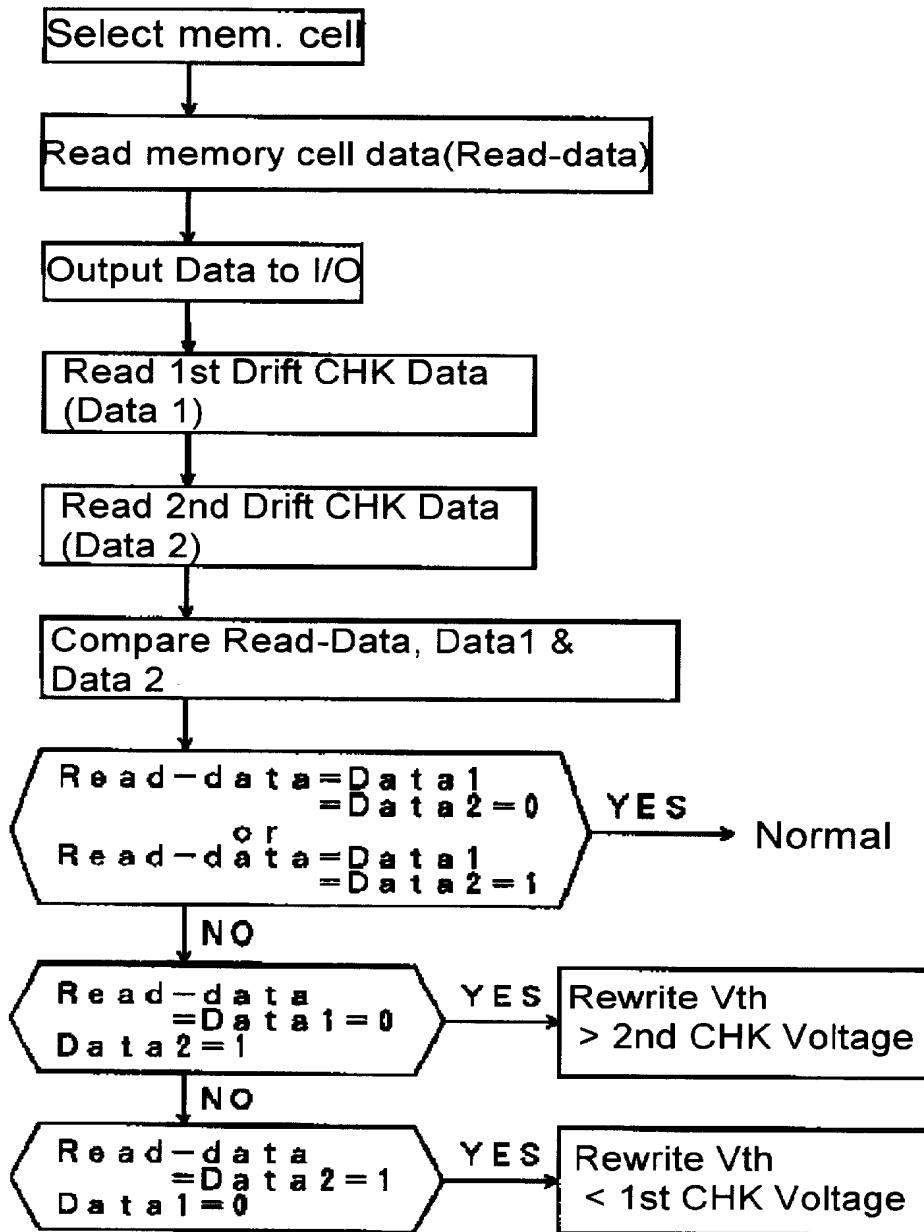
Threshold Voltage state	Data to be read	1st Drift Check Data	2nd Drift Check Data	Check Result
$1.0V < V_{th}$	"0"	"0"	"0"	Normal
$0.5V < V_{th} \leq 1.0V$	"0"	"0"	"1"	Not Normal (Too charged)
$0.0V < V_{th} \leq 0.5V$	"1"	"0"	"1"	Not Normal (Too discharged)
$0.0V > V_{th}$	"1"	"1"	"1"	Normal

Table 4 (Example 2)

	Threshold Vol. state	Data to be read	1st Drift Check Data	2nd Drift Check Data	Result
Check Drift of N data and N+1 data	$V_{v2-N+1} \leq V_{th}$	"0"	"0"	"0"	N+1 data: Normal
	$V_{r-N+1} \leq V_{th}$ $< V_{v2-N+1}$	"0"	"0"	"1"	N+1 data: drifted need re-write
	$V_{v1-N+1} \leq V_{th}$ $< V_{r-N+1}$	"0"	"1"	"1"	N data: drifted need re-write
	$V_{th} < V_{v1-N+1}$	"1"	"1"	"1"	N data: Normal
Check Drift of N data and N-1 data	$V_{v2-N} \leq V_{th}$	"0"	"0"	"0"	N data: Normal
	$V_{r-N} \leq V_{th}$ $< V_{v2-N}$	"0"	"0"	"1"	N data: drifted need re-write
	$V_{v1-N} \leq V_{th}$ $< V_{r-N}$	"0"	"1"	"1"	N-1 data: drifted need re-write
	$V_{th} < V_{v1-N}$	"1"	"1"	"1"	N data: Normal

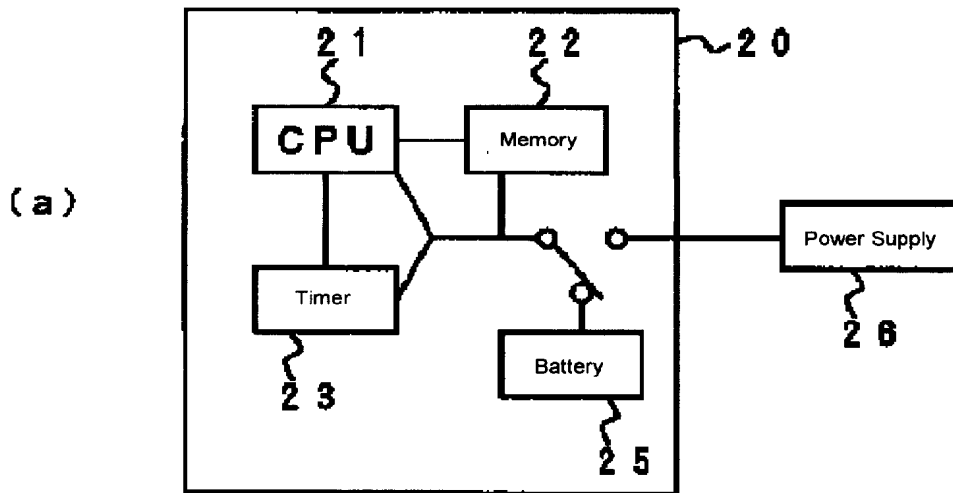
Drawings of Reference 2 (1/3)

FIG. 5

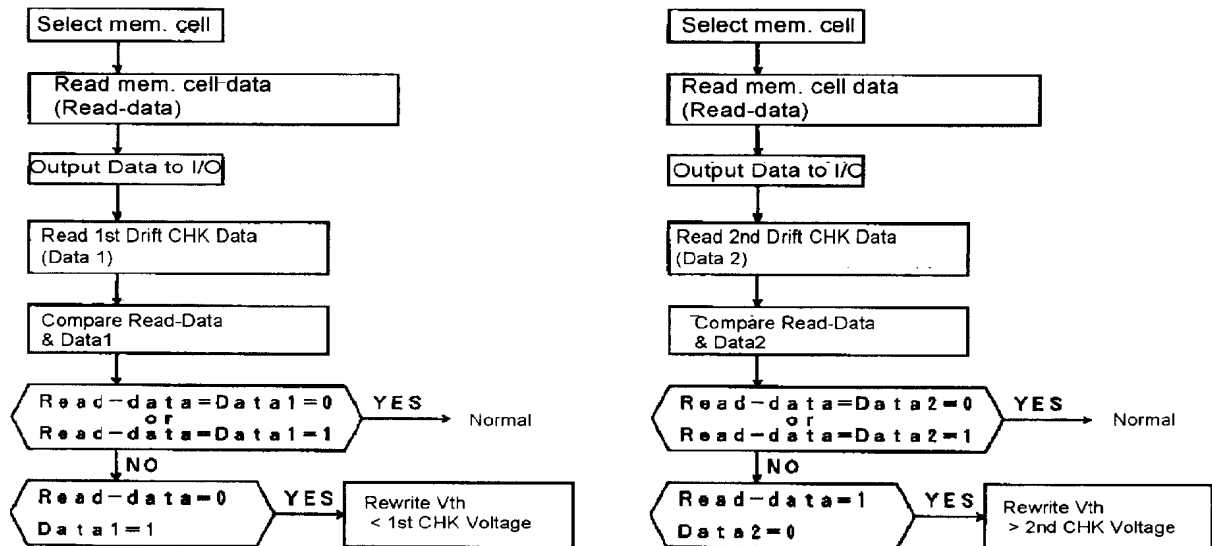


Drawings of Reference 2 (2/3)

FIG. 6a

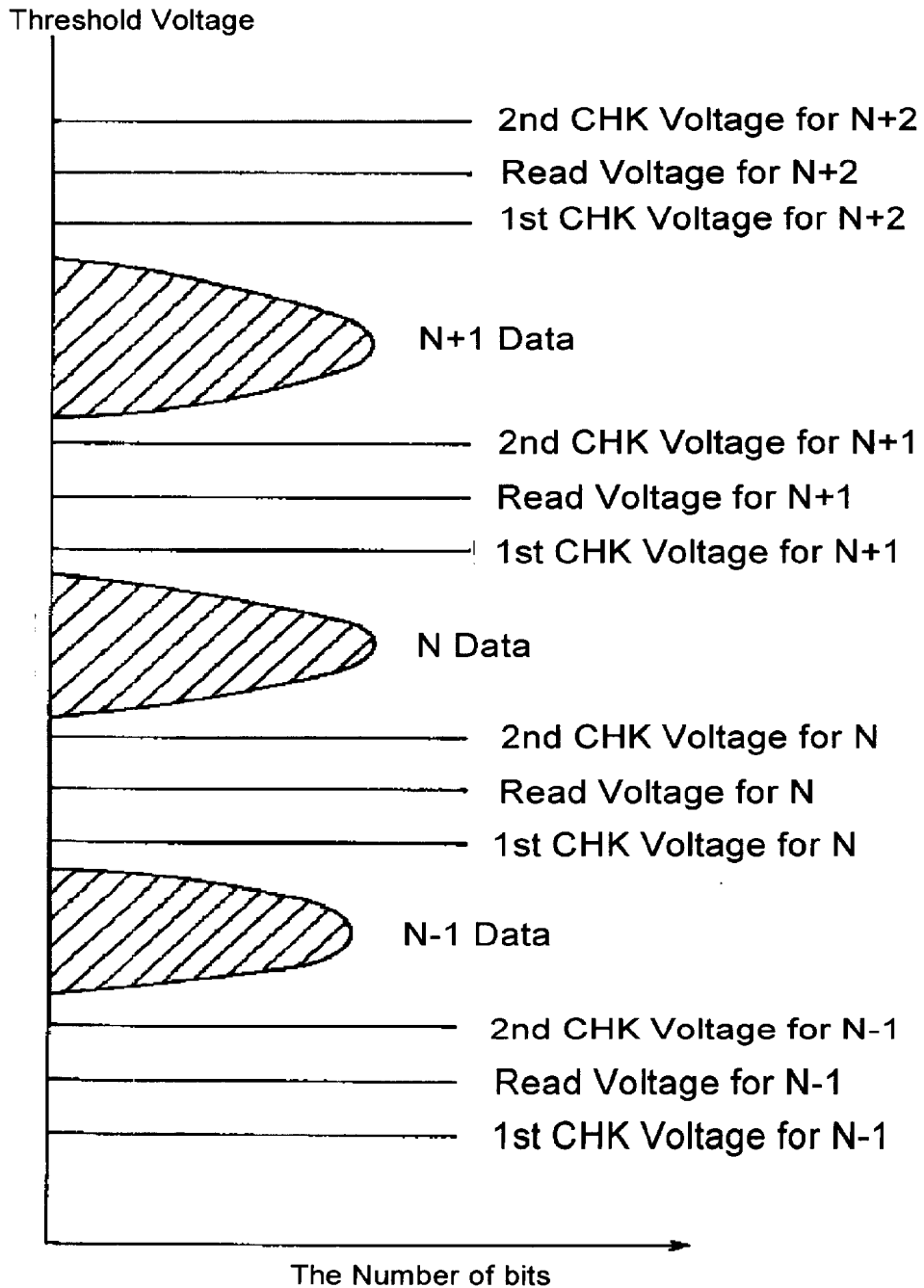


FIGs. 10 and 11



Drawings of Reference 2 (3/3)

FIG. 26



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-77785

(43) 公開日 平成8年(1996)3月22日

(51) Int.Cl.⁶ 識別記号 庁内整理番号 F I 技術表示箇所
G 1 1 C 16/06
H 0 1 L 27/115
21/8247

G 1 1 C 17/ 00 3 0 9 F

H 0 1 L 27/ 10 4 3 4

審査請求 未請求 請求項の数5 O L (全 25 頁) 最終頁に続く

(21) 出願番号 特願平6-207767

(22) 出願日 平成6年(1994)8月31日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 遠藤 哲郎

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(72) 発明者 大内 和則

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(72) 発明者 作井 康司

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(74) 代理人 弁理士 鈴江 武彦

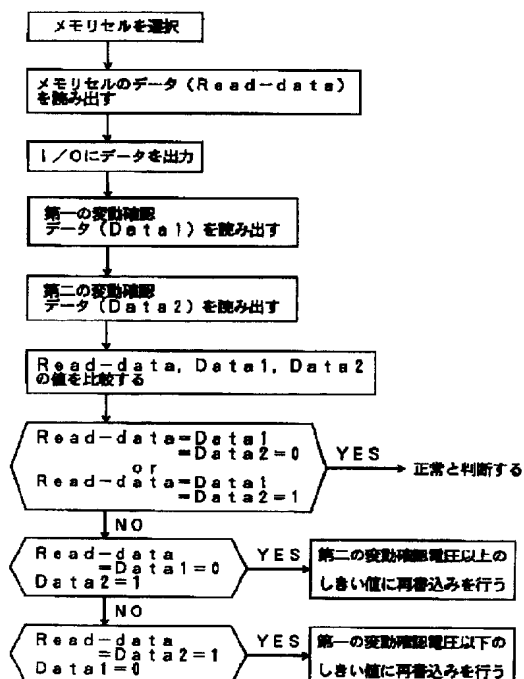
最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【目的】 本発明はしきい値変動の検知と救済の動作を有する半導体記憶装置を提供する。

【構成】 第一の電圧よりも高い第二の電圧をワード線に印加し、セルデータを読みだし、第一の電圧をワード線に印加して読み出したセルデータとを比較する。次に第一の電圧よりも低い第三の電圧をワード線に印加し、セルデータを読みだし、第一の電圧をワード線に印加して読み出したセルデータとを比較する。これらのデータが同一の場合は正常の範囲に設定されていると判断し、一方これらのデータが異なる場合は、データ破壊はしていないが、十分しきい値変動していると検知し、各セルの元のしきい値に戻すようにデータを再書き込みを行う動作を具備している。



【特許請求の範囲】

【請求項 1】 半導体層上にメモリセルがマトリクス状に配置されたメモリセルアレイと、前記メモリセルアレイ中の任意の複数のメモリセル、もしくは、前記メモリセルアレイ中の少なくとも同一ワード線につながる複数のメモリセルのしきい値を検知するしきい値ベリファイ手段を備えた半導体記憶装置において、前記複数のメモリセルの内少なくとも 1 個以上のセルのしきい値が変動していることを前記しきい値ベリファイ手段が検知した場合、少なくともしきい値が変動している前記セルに対して再書き込みを行う動作を具備する事

を特徴とする半導体記憶装置。
 【請求項 2】 半導体層上にメモリセルがマトリクス状に配置されたメモリセルアレイと、前記メモリセルアレイ中の任意の複数のメモリセル、もしくは、前記メモリセルアレイ中の少なくとも同一ワード線につながる複数のメモリセルのしきい値を検知するしきい値ベリファイ手段を備えた半導体記憶装置において、前記メモリセルのしきい値状態を、第一の電圧を選択ワード線に印加して、前記ベリファイ手段により、“1”データか“0”データを検知する第一の動作と、前記複数のメモリセルのしきい値の変動状態を、第一の電圧よりも高い第二の電圧を選択ワード線に印加して、前記ベリファイ手段により、“1”データか、“0”データを検知する第二の動作と、前記第一の電圧よりも低い第三の電圧を選択ワード線に印加して、前記ベリファイ手段により“1”データか、“0”データを検知する第三の動作と、前記複数のメモリセルの内少なくとも 1 個以上のセルのデータが、前記第一の電圧を選択ワード線に印加して読み出したデータと、前記第二の電圧を選択ワード線に印加して読み出したデータと、前記第三の電圧を選択ワード線に印加して読み出したデータを比較して、全てが一致しない場合は、しきい値が変動していると検知し、少なくともしきい値変動しているセルに対して再書き込みを行う第四の動作と、を具備する事を特徴とする半導体記憶装置。

【請求項 3】 半導体層上にメモリセルがマトリクス状に配置されたメモリセルアレイと、前記メモリセルアレイ中の任意の複数のメモリセル、もしくは、前記メモリセルアレイ中の少なくとも同一ワード線につながる複数のメモリセルのしきい値を検知するしきい値ベリファイ手段を備えた半導体記憶装置において、前記メモリセルのしきい値状態を、第一の電圧を選択ワード線に印加して、前記ベリファイ手段により、“1”データか“0”データを検知する第一の動作と、前記複数のメモリセルのしきい値の変動状態を、第一の電圧とは異なる第二の電圧を選択ワード線に印加して、前記ベリファイ手段により、“1”データか、“0”データを検知する第二の動作と、

前記複数のメモリセルの内少なくとも 1 個以上のセルのデータが、前記第一の電圧を選択ワード線に印加して読み出したデータと、前記第二の電圧を選択ワード線に印加して読み出したデータを比較して、一致しない場合は、しきい値が変動していると検知し、少なくともしきい値変動しているセルに対して再書き込みを行う第三の動作と、を具備する事を特徴とする半導体記憶装置。

【請求項 4】 半導体層上にメモリセルがマトリクス状に配置されたメモリセルアレイと、前記メモリセルアレイ中の任意の複数のメモリセル、もしくは、前記メモリセルアレイ中の少なくとも同一ワード線につながる複数のメモリセルのしきい値を検知するしきい値ベリファイ手段を備えた半導体記憶装置において、前記メモリセルのしきい値状態を、第一の電圧を選択ワード線に印加して、前記ベリファイ手段により、“1”データか“0”データを検知する第一の動作と、前記複数のメモリセルのしきい値の変動状態を、第一の電圧よりも高い第二の電圧を選択ワード線に印加して、前記ベリファイ手段により、“1”データか、“0”データを検知する第二の動作と、前記第一の電圧よりも低い第三の電圧を選択ワード線に印加して、前記ベリファイ手段により、“1”データか、“0”データを検知する第三の動作と、前記ワード線に、第一の電圧を与えて読み出したメモリセルの第一のデータと、前記ワード線に、第一の電圧よりも高い第二の電圧を与えて読み出したメモリセルの第二のデータを比較する事により、メモリセルのしきい値が変動した事を検知する第四の動作と、前記第四の動作で変動が検知された場合、第二の電圧よりも高い値に少なくとも上記セルに対して、再書き込みを行う第五の動作と、前記ワード線に、第一の電圧を与えて読み出したメモリセルの第一のデータと、前記ワード線に、第一の電圧よりも低い第三の電圧を与えて読み出したメモリセルの第三のデータを比較する事により、メモリセルのしきい値が変動した事を検知する第六の動作と、前記第六の動作で変動が検知された場合、第三の電圧よりも低い値に少なくとも上記セルに対して、再書き込みを行う第七の動作と、を具備する事を特徴とする半導体記憶装置。

【請求項 5】 センスアンプとして機能し、センスした情報の内第一のデーターをメモリセルの書き込み動作状態を制御するデータとして記憶する機能を兼ね備えた複数のデータ回路と、同時に前記メモリセルアレイ中の複数のメモリセルにそれぞれ対応する前記第一のデータ回路の内容に応じて書き込み動作を行うための書き込み手段と、同時に前記複数のメモリセルの書き込み動作後の状態が所望のデータの記憶状態になっているか否かを確認するため前記しきい値検出手段を用いた書き込みベリファイ

手段と、

データ回路の第一のデーターの内容とメモリセルの書き込み動作後の状態から書き込み不十分のメモリセルに対してのみ再書き込みを行うように、データ回路の内容を一括更新するデータ回路内容一括更新手段と、
前記データ回路内容一括更新手段は、ビット線電圧が再書き込みデータとしてセンス／記憶されるよう、メモリセルの書き込み動作後の状態が出力されるビット線の電圧をデータ回路の内容に応じて修正し、ビット線電圧が修正されるまではデータ回路のデータ記憶状態を保持し、修正されたビット線電圧を保持したままデータ回路をセンスアンプとして動作させ、データ回路の内容の一括更新を行い、データ回路の内容に基づく書き込み動作とデータ回路内容一括更新を、メモリセルが所定の書き込み状態になるまで繰り返しながら行うことにより電氣的にデータ書き込みを行う第八の動作と、をさらに具備している事の特徴とする請求項 4 記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体記憶装置に係わり、特に電氣的書換え可能な不揮発性半導体記憶装置（EEPROM）に関する。

【0002】

【従来の技術】EEPROMの1つとして、高集積化が可能なNAND型EEPROMが知られている。これは、複数のメモリセルをそれらのソース、ドレインを隣接するもの同士で共用する形で直列接続して1単位としてビット線に接続するものである。メモリセルは通常、電荷蓄積層と制御ゲートが積層されたFETMOS構造を有する。メモリセルアレイは、p型基板またはn型基板に形成されたp型ウェル内に集積形成される。NANDセルのドレイン側は選択ゲートを介してビット線に接続され、ソース側はやはり選択ゲートを介して共通ソース線に接続される。メモリセルの制御ゲートは、行方向に連続的に配設されてワード線となる。

【0003】このNANDセル型EEPROMの動作は次の通りである。データ書き込みは、選択されたメモリセルの制御ゲートには高電圧 V_{pp1} （ $=20V$ 程度）を印加し、非選択メモリセルの制御ゲート及び選択ゲートには中間電圧 V_{ppm} （ $=10V$ 程度）を印加し、ビット線にはデータに応じて0Vまたは中間電圧 V_m （ $=8V$ 程度）を与える。ビット線に0Vが与えられた時、その電圧は選択メモリセルのドレインまで転送されて、電荷蓄積層に電子注入が生じる。これにより、選択されたメモリセルのしきい値は正方向にシフトする。この状態を例えば“0”とする。ビット線に V_m が与えられた時は電子注入が実効的に起こらず、従ってしきい値は変化せず、負に止まる。この状態は消去状態で“1”とする。データ書き込みは制御ゲートを共有するメモリセル

に対して同時に行われる。

【0004】データ消去は、NANDセル内の全てのメモリセルに対して同時に行われる。即ち全ての制御ゲートを0Vとし、p型ウェルを V_{pp2} （ $=20V$ 程度）とする。このとき選択ゲート、ビット線、ソース線も20Vにされる。これにより、全てのメモリセルで電荷蓄積層の電子がp型ウェルに放出され、しきい値は負方向にシフトする。

【0005】データ読み出しは、選択されたメモリセルの制御ゲートを0Vとし、それ以外のメモリセルの制御ゲート及び選択ゲートを電源電圧 V_{cc} （例えば5V）として、選択メモリセルで電流が流れるか否かを検出することにより行われる。

【0006】読み出し動作の制約から、“0”書き込み後のしきい値は0Vから V_{cc} の間に制御しなければならない。このため書き込みベリファイが行われ、“0”書き込み不足のメモリセルのみを検出し、“0”書き込み不足のメモリセルに対してのみ再書き込みが行われるよう再書き込みデータを設定する（ビットごとベリファイ）。“0”書き込み不足のメモリセルは、選択された制御ゲートを例えば0.5V（ベリファイ電圧）にして読み出すこと（ベリファイ読み出し）で検出される。つまり、メモリセルのしきい値が0Vに対してマージンを持って、0.5V以上になっていないと、選択メモリセルで電流が流れ、“0”書き込み不足と検出される。“1”書き込み状態にするメモリセルでは当然電流が流れるため、このメモリセルが“0”書き込み不足と誤認されないよう、メモリセルを流れる電流を補償するベリファイ回路と呼ばれる回路が設けられる。このベリファイ回路によって高速に書き込みベリファイは実行される。

【0007】書き込み動作と書き込みベリファイを繰り返しながらデータ書き込みをすることで個々のメモリセルに対して、書き込み時間が最適化され“0”書き込み後のしきい値は0Vから V_{cc} の間に制御される。

【0008】また、NOR型EEPROMは、0Vから V_{cc} の間にしきい値を制御する事により、“1”データとし、 V_{cc} 以上にしきい値を制御する事により、“0”データとする。

【0009】この様にEEPROMは、データ書き込み時において、“0”、“1”それぞれに対して、しきい値を適切に設定する。しかし、メモリセルのしきい値は、時間がたつにつれて変化する。例えば、データが書込まれた後に放置される事によって、電荷蓄積層の電荷は、電荷蓄積層の回りの絶縁膜の漏れ電流によって、減少してしまうため、適切に設定してあったしきい値から中性しきい値に変化してしまう。例えば、中性しきい値を約0.5Vとすると、NAND型EEPROMの場合には、“1”データが“0”データになってしまい、NOR型EEPROMの場合には、“0”データが“1”データになってしまい、データが破壊されてしまう。ま

た、NAND型EEPROMは読みだし時に、非選択セルにVcc電圧が印加されるため、電荷蓄積層に電子が注入され"1"データが"0"データになりデータが破壊されるという問題がある。

【0010】一方、上記のように、ビット毎ペリファイ書き込みを行っても所定の範囲にしきい値を設定できないことがある。例えば、NAND型EEPROMにおいて、"0"データを選択セルに書き込み、その時、そのしきい値が、Vcc以上（例えば、7V）になったとする。次に、前記選択セルを含む、NANDセルの別のセルを選択してデータを読み出そうとしたとしても、非選択セルの中にしきい値がVcc以上のセルが存在するので、セル電流が流れないため、選択セルのデータに関係なく、常に"0"データと読み出してしまうため、不良になってしまうという問題がある。

【0011】この様に、不揮発性半導体記憶装置において、書込んでおいたデータが放置されることによって、データが破壊されてしまうといった問題と、所定の範囲にしきい値が設定できないと誤読み出しをしてしまうという問題があった。

【0012】

【発明が解決しようとする課題】以上のように従来の不揮発性半導体記憶装置において、書込んでおいたデータが放置されることによって、データが破壊されてしまうといった問題と、所定の範囲にしきい値が設定できないと誤読み出しをしてしまうという問題があった。

【0013】本発明は、上記事情を考慮してなされたもので、その目的とするところは、メモリセルのしきい値の変動を検知して当データを読み出し、当データを同一ブロックもしくは別ブロックに再書き込みを行うことによって、所定の範囲にしきい値を設定して、データの破壊を回避することを可能とする動作と、所定の範囲内のしきい値に設定できない時に、当データを読み出して、当データを同一ブロックもしくは別ブロックに再書き込みを行うことによって、所定の範囲にしきい値を設定して、誤読み出しを回避することを可能とする動作を具備した半導体記憶装置を提供することにある。

【0014】

【課題を解決するための手段】上記課題を解決するために、本発明の半導体記憶装置は、半導体層上にメモリセルがマトリクス状に配置されたメモリセルアレイと、前記メモリセルアレイ中の任意の複数のメモリセル、もしくは、前記メモリセルアレイ中の少なくとも同一ワード線につながる複数個のメモリセルのしきい値を検知するしきい値ペリファイ手段を備えた半導体記憶装置において、前記複数のメモリセルの内少なくとも1個以上のセルのしきい値が変動していることを前記しきい値ペリファイ手段で検知した場合、少なくともしきい値が変動している前記セルに対して再書き込みを行う動作を具備する事の特徴としている。

【0015】具体的には、メモリセルアレイ中の同一ワード線に連なる複数のメモリセルのしきい値状態を第一の電圧を選択ワード線に、印加することにより、"1"データか"0"データかを検知する第一の動作と、前記複数のメモリセルのしきい値の変動状態を第一の電圧よりも高い第二の電圧を選択ワード線に印加することにより検知する第二の動作と、第一の電圧よりも低い第三の電圧を選択ワード線に印加することにより検知する第三の動作と、前記ワード線に、第一の電圧を与えて読み出したメモリセルの第一のデータと、前記ワード線に、第一の電圧よりも高い第二の電圧を与えて読み出したメモリセルの第二のデータを比較する事により、メモリセルのしきい値が小さい方向に変動した事を検知する第四の動作と、検知した場合において、第二の電圧よりも高い値に上記セルのしきい値を変動させる第五の動作と、前記ワード線に、第一の電圧を与えて読み出したメモリセルの第一のデータと、前記ワード線に、第一の電圧よりも低い第三の電圧を与えて読み出したメモリセルの第三のデータを比較する事により、メモリセルのしきい値が大きい方向に変動した事を検知する第六の動作と、検知した場合において、第三の電圧よりも低い値に上記セルのしきい値を変動させる第七の動作とを、具備している事の特徴とする。

【0016】また、誤読み出し防止として、所定の範囲にしきい値が制御できていない時には、しきい値が所定範囲を超えて大きく設定された場合は、所定の読み出し電圧よりも大きい電圧をワード線に印加してデータを読み出す動作と、またしきい値が所定範囲より小さく設定された場合は、所定の読み出し電圧よりも小さい電圧をワード線に印加してデータを読み出す動作と、当データを別ブロックもしくは同一ブロックに再書き込みを行う動作とを具備している事の特徴とする。

【0017】

【作用】本発明においては、第一の電圧よりも高い第二の電圧をワード線に印加し、セルデータを読みだし、第一の電圧をワード線に印加して読み出したセルデータとを比較することによって、もし、これらのデータが同一の場合は、正常の範囲に設定されていると判断し、一方、これらのデータが異なる場合は、データ破壊はしていないが、十分しきい値変動していると検知できる。また、第一の電圧よりも低い第三の電圧をワード線に印加し、セルデータを読みだし、第一の電圧をワード線に印加して読み出したセルデータとを比較することによって、もし、これらのデータが同一の場合は、正常の範囲に設定されていると判断し、一方、これらのデータが異なる場合は、データ破壊はしていないが、十分しきい値変動していると検知できる。もし、セルのしきい値が十分変動していると検知されたときは、各セルの元のしきい値に戻すように、データを再書き込みを行う。このようにして、本発明によれば、しきい値変動によって、デ

ータが破壊する前に、そのしきい値変動を検知し、元の制御されたしきい値に修正される。

【0018】また、誤読み出し防止として、所定の範囲にしきい値が制御できていない時には次の動作を行う。すなわち、しきい値が所定範囲を超えて大きく設定された場合は、所定の読み出し電圧よりも大きい電圧をワード線に印加してデータを読み出す動作を行う。またしきい値が所定範囲より小さく設定された場合は、所定の読み出し電圧よりも小さい電圧をワード線に印加してデータを読み出す動作を行う。この様にすることによって、例えば、NAND型EEPROMにおいて、“0”データを選択セルに書き込み、そのしきい値が、 V_{cc} 以上（例えば、7V）になっていたとしても、次に、前記選択セルを含む、NANDセルの別のセルを選択してデータを読み出した時に、非選択セルの中にしきい値が V_{cc} 以上のセルが存在しても、当非選択セルのワード線には十分大きな電圧が印加されるため、選択セルのデータを正確に読み出すことが可能となる。また、この読み出したデータを別ブロックにもしくは同一ブロックに再書き込みを行う動作を行うことによって、メモリセルのしきい値を所定の範囲に設定することができる。

【0019】

【実施例】以下、図面を参照しながら実施例を説明する。図1は、本発明の第一の実施例に係わるNANDセル型EEPROMのメモリセルアレイの平面的なレイアウトを示し、図2、図3(a)、(b)は、それぞれ図1のA-A'、B-B'、C-C'線に沿った断面図を示している。本実施例のメモリセルアレイは、図2に示すようにp型半導体基板1上に形成されたn型ウェル2aに、さらに形成されたp型ウェル2b上に形成されている。メモリセルはp型半導体基板上に直接形成されてもよい。

【0020】図2において、p型ウェル2b上には第1ゲート絶縁膜3を介して電荷蓄積層4が形成され、さらに第2ゲート絶縁膜5を介して制御ゲート6が形成されている。これらの積層ゲート電極に挟まれた前記p型ウェル2bの表面にはn型拡散層7が形成され、隣接するセルが共有するソース、ドレイン領域となり、直列に接続されたメモリセルM1～M4を形成している。これらのメモリセルの左右にはp型ウェル上にゲート絶縁膜3'を介して積層型の選択ゲート11を有する選択トランジスタS1、S2が形成されている。制御ゲート6および選択ゲート11の上には層間絶縁膜9を介してビット線(BL)10が形成され、ビットコンタクト13を通じてn+拡散層7'に接続されている。

【0021】図1は上記のごときメモリセルアレイが2列示された平面図であるが、並列するメモリセルの制御ゲート6は横方向に連続的に接続されて制御ゲート線(ワード線)CG1～CG4となる。選択ゲート11も横方向に連続的に接続されて選択ゲート線SG1(ドレ

イン側)、SG2(ソース側)となる。ビット線BLに接続される選択トランジスタS1と共通ソース線Vsに接続される選択トランジスタS2の間に、4つのメモリセルM1～M4が直列接続され1つのNANDセルを構成する。選択トランジスタS1、S2は選択ゲートSGを有する。各メモリセルは前述のごとく積層形成された浮遊ゲート4と制御ゲート6を有し、浮遊ゲート4に蓄えられる電荷の量で情報を記憶する。この蓄えられた電荷の量は、メモリセルのしきい値として読み出すことができる。

【0022】本発明では、このしきい値変動の検知を図4(a)、(b)、(c)に示される電圧印加方法によって行う。ここでは制御ゲートCG2を有するメモリセルM2が選択されている。図4(a)に見られるように選択ワード線CG2に読みだし電圧0.5Vを印加し、非選択ワード線CG1、CG3、CG4及び、選択トランジスタS1、S2の選択ゲートSG1、SG2に V_{cc} 、例えば5Vを印加し、共通ソース線Vs及び、p型基板1およびp型ウェル2bは0Vに接地し、ビット線BLは V_{cc} にプリチャージしフローティングにする。

【0023】この時、もし選択セルM2のしきい値が読みだし電圧0.5V以上ならセル電流は流れず、ビット線BLの電圧は、維持され、一方、もし選択セルM2のしきい値が読みだし電圧0.5V以下ならセル電流は流れ、ビット線BLの電圧はプリチャージレベルから0Vになり、このビット線の電圧差を持って、センスアンプで検知する。この時、ビット線電圧が0Vになる時を“1”データとし、一方を“0”データとする。その後、検知したセルの読み出しデータをセンスアンプからラッチ回路に転送し、センスアンプとラッチ回路を切り離す。

【0024】次に、ラッチしたデータを1/0に転送する間に、次に示すしきい値変動レベルのチェックを行う。図4(b)に見られるように選択ワード線CG2に第一の変動確認電圧0.0Vを印加し、非選択ワード線CG1、CG3、CG4及び、選択ゲートSG1、SG2に V_{cc} 、例えば5Vを印加し、共通ソース線Vs及び、p型基板1およびp型ウェル2bは0Vに接地し、ビット線BLは V_{cc} にプリチャージしフローティングにする。

【0025】この時、もし選択セルM2のしきい値が第一の変動確認電圧0.0V以上ならセル電流は流れず、ビット線BLの電圧は、維持され、一方、もし選択セルM2のしきい値が第一の変動確認電圧0.0V以下ならセル電流は流れ、ビット線BLの電圧はプリチャージレベルから0Vになる。このビット線の電圧差を持って、センスアンプで第一の変動確認データを検知する。

【0026】次に、図4(c)に見られるように選択ワード線CG2に第二の変動確認電圧1.0Vを印加し、非選択ワード線CG1、CG3、CG4及び、選択ゲ

トSG1、SG2にVcc、例えば5Vを印加し、共通ソース線Vs及び、p型基板1およびp型ウェル2bは0Vに接地し、ビット線BLはVccにプリチャージしフローティングにする。

【0027】この時、もし選択セルM2のしきい値が第二の変動確認電圧1.0V以上ならセル電流は流れず、ビット線BLの電圧は維持され、一方、もし選択セルM*

*2のしきい値が第二の変動確認電圧1.0V以下ならセル電流は流れ、ビット線BLの電圧はプリチャージレベルから0Vになる。このビット線の電圧差を持って、センスアンプで第二の変動確認データを検知する。この時、表1に示す様に分類及び検知結果が判断できる。

【0028】

【表1】

しきい値状態	読みだしデータ M4(a)	第1の変動確認データ M4(b)	第2の変動確認データ M4(c)	検知の結果
$1.0V < V_{th}$	"0"	"0"	"0"	正常
$0.5V < V_{th} \leq 1.0V$	"0"	"0"	"1"	電子が脱離した異常
$0.0V < V_{th} \leq 0.5V$	"1"	"0"	"1"	電子注入した異常
$0.0V > V_{th}$	"1"	"1"	"1"	正常

まず、セルのしきい値が1.0V以上の場合は、読み出しデータは、"0"であり、かつ第一の変動確認データは、"0"であり、かつ第二の変動確認データは、"0"となる。また、セルのしきい値が0.5V以上かつ1.0V以下の場合は、読み出しデータは、"0"であり、かつ第一の変動確認データは、"0"であり、かつ第二の変動確認データは、"1"となる。また、セルのしきい値が0.0V以上かつ0.5V以上の場合は、読み出しデータは、"1"であり、かつ第一の変動確認データは、"0"であり、かつ第二の変動確認データは、"1"となる。また、セルのしきい値が0.0V以下の場合は、読み出しデータは、"1"であり、かつ第一の変動確認データは、"1"であり、かつ第二の変動確認データは、"1"となる。

【0029】以下に、上記の各分類に対する修正動作法を説明する。まず、読みだしデータ、第一及び第二の変動確認データが"0"の場合は、本来"0"データが書込まれたものであり、正常にデータ保持されていると判断し、当セルに対するデータ修正は行わない。また、読みだしデータ、第一及び第二の変動確認データが"1"の場合は、本来"1"データが書込まれたものであり、正常にデータ保持されていると判断し、当セルに対するデータ修正は行わない。

【0030】これに対し、読みだしデータ及び、第一の変動確認データが"0"であり、第二の変動確認データが"1"の場合は、本来"0"データが書込まれたものであるが、しきい値が正のしきい値から負のしきい値へ変動してきており、十分その変動値は大きく、正常にデータ保持されているとは判断されず、再びしきい値を正の方向にシフトさせる様に、メモリセルに再書き込みを行う。この時、前記第二の変動確認電圧以上のしきい値にするのが好ましい。

【0031】また、読みだしデータ及び、第二の変動確認データが"1"であり、第一の変動確認データが"0"の場合は、本来"1"データが書込まれたものであ

るが、しきい値が負のしきい値から正のしきい値へ変動してきており、十分その変動値は大きく、正常にデータ保持されているとは判断されず、再びしきい値を負の方向にシフトさせる様に、メモリセルに再書き込みを行う。この時、前記第一の変動確認電圧以下のしきい値にするのが好ましい。以上に述べたシーケンスをまとめて図5に示す。

【0032】次に、上記の判断に従って行う再書き込み動作を説明する。不良になったセルのみを再書き込みしてもよいが、不良となったセルを含むセルブロック全体を再書き込みしてもかまわない。セルブロック毎に再書き込みする場合は、一度セルブロック内のデータを読み出し、このデータに従って同一セルブロック内に再書き込みしてもよく、別セルブロック内に再書き込みしてもよい。上記セルブロックは、同一ワード線につながる複数のセルと定義してもよいし、同一ワード線につながる複数のNANDセルブロックと定義してもよい。また、通常のデータ読み出し動作に引き続きデータ変動確認動作によって、異常が検知されたときは、再書き込み動作に入るため、通常の方法と同様に、チップ状態が救済動作にあることを、フラグ等を立てることによって、チップが待ち状態であることをチップ外に示すようにする。

【0033】以上述べたデータ変動確認動作は、選択されたセルデータの読み出し動作を行う毎にその選択セル及びその選択セルを含むセルブロックに対して行ってもよいし、チップ内もしくはチップ外に設置されているタイマーに管理されて、所定の時間がきたら全セルに対して行うようにしてもよい。あるいはチップ内もしくはチップ外に設置されているデータ読み出し回数をカウントするカウンターによって管理されて、所定の回数だけ読み出しを行ったら、そのセルもしくは、そのセルを含むセルブロックに対して行うようにしてもよい。図6はCPU21、メモリチップ22を含むカード20のブロック図を示したものであるが、上記のタイマー23もしくはカウンター24は、カードに外部電源26が供給され

ているときは外部電源によって動作し、外部電源が供給されていないときは、カード上に設置された電池 25 によって動作するようにしてもよい。

【0034】以上述べた第一の実施例に基づくカードシステムを図 7 に示す。すなわち、外部装置はインターフェイス 31 を介して、カードシステム 30 のコントローラ (CPU) 32 に接続されている。この CPU 32 と、内部バッテリー 33 と、タイマ 34 に対して、メモリシステム 40 が接続されている。このメモリシステム 40 内での動作法を、メモリ構造として NAND 型 EEPROM セル構造を有する場合について、不良となったセルのみでなく、不良となったセルを含む同一ワード線につながるセルブロック全体を、別のワード線につながる別のブロックに再書き込みを行う場合を例にとって説明する。なおここでいうメモリシステムは、単一のメモリチップで構成される場合もあるが、一部の機能がチップ外に外付けとなる場合もある。

【0035】図 8 はメモリシステム 40 の内部構成を示すブロック図である。まず、データ変動確認を行うセルブロックが選択され、内部アドレス発生回路 51 により、データを確認するべきメモリチップを選択し、さらにその内部の制御ゲートとビット線を選択する。そして、読み出しタイミング制御回路 52 によって、セルブロックに接続されている全ビット線を Vcc 電圧までプリチャージした後に、選択 NAND セル内の選択制御ゲートに、読み出し電圧、例えば 0.5 V を印加し、選択 NAND セル内の非選択制御ゲート及び選択 NAND セル内の選択ゲートに、Vcc 電圧、例えば 3.3 V を印加する。そして、各ビット線の電圧をセンスアンプ回路 43 によってデータを読み出し、その結果を I/O バッファ 54 に入れ、データラッチ回路 55 にデータを読み出しデータとしてラッチする。

【0036】次に、変動確認動作タイミング制御回路によって、セルブロックに接続されている全ビット線を Vcc 電圧までプリチャージした後に、選択 NAND セル内の選択制御ゲートに、第一の変動確認電圧、例えば 0.0 V を印加し、選択 NAND セル内の非選択制御ゲート及び選択 NAND セル内の選択ゲートに、Vcc 電圧、例えば 3.3 V を印加する。そして、各ビット線の電圧をセンスアンプ回路 43 によってデータを読み出し、その結果を I/O バッファ 54 に入れ、データラ

ッチ回路 55 にデータを第二の変動確認データとしてラッチする。

【0037】次に、データ比較回路 56 により、データラッチ回路 55 内にラッチしてある読み出しデータ、第一の変動確認データ、第二の変動確認データの値を比較する。その比較結果を変動確認動作判断回路 57 によって以下に示すように処理される。読みだしデータ、第一及び第二の変動確認データの全てが "0" の場合は、本来 "0" データが書込まれたものであり、また、読みだしデータ、第一及び第二の変動確認データの全てが "1" の場合は、本来 "1" データが書込まれたものであり、共に、正常にデータ保持されていると判断し、変動確認動作は終了する。また、読みだしデータ及び、第一の変動確認データが "0" であり、第二の変動確認データが "1" の場合は、本来 "0" データが書込まれたものであるが、大きくしきい値が変動したものであると判断する。また、読みだしデータ及び、第二の変動確認データが "1" であり、第一の変動確認データが "0" の場合は、本来 "1" データが書込まれたものであるが、大きくしきい値が変動したものであると判断する。

【0038】上記のように、変動確認動作判断回路 57 によって、しきい値が変動しているセルが検知された場合は、チップ状態が救済状態にあることを示すフラグを立て、次に示す手順でデータの再書き込みを行う。メモリセルアレイブロック管理回路によって、前記選択セルブロックを不良ブロックとしてプロテクトをかけ、次のセルブロックを選択し、以前の選択セルブロック内のセルアドレスを、今回選択したセルブロック内のセルに割り付ける。そして、書き込み動作タイミング制御回路 50 によって、新しい選択セルブロック内の全制御ゲートに 0 V を印加し、非選択セルブロック内の全選択ゲート、p 型ウエル、n 型半導体基板 (SUB)、及び、全選択ゲートに、高電圧発生回路 45 によって、消去用高電圧、例えば 20 V 程度を印加し、選択セルブロック内の全セルを消去する。

【0039】次に、消去状態を確認するために消去ベリファイ動作にはいる。選択セルブロック内の全制御ゲートに消去ベリファイ電圧を印加して、通常の読み出し手順に従ってデータを読み出し、全データが "1" データになるまで、前記消去動作と、消去ベリファイ動作を繰り返し行う。この時、消去ベリファイ電圧として、第一の変動確認電圧以下の電圧を用い、特に、第一の変動確認電圧を用いるのが最も望ましい。次に、書き込み動作タイミング制御回路 50 によって、新しい選択セルブロック内の選択制御ゲートに、高電圧発生回路 45 によって、書き込み用高電圧、例えば 20 V 程度を印加し、新しい選択セルブロック内の非選択制御ゲートに、中間電圧発生回路 46 によって、中間電圧、例えば 10 V 程度を印加し、各ビット線には、前記データラッチ回路内にラッチしてあるデータ読み出しデータに従って、もし

10

20

30

40

50

1" データなら前記中間電圧発生回路46によって、中間電圧、例えば7V程度を印加し、もし"0" データなら0Vを印加し、データを書き込む。

【0040】次に、書き込み状態を確認するために書き込みベリファイ動作にはいる。選択セルブロック内の選択制御ゲートに書き込みベリファイ電圧を印加して、非選択制御ゲートには、 V_{cc} を印加し、通常の読み出し手順に従ってデータを読み出し、全データが読み出しデータと一致するまで、前記書き込み動作と、書き込みベリファイ動作を繰り返し行う。この時、書き込みベリ

ファイ電圧として、第二の変動確認電圧以上の電圧を用い、特に第二の変動確認電圧を用いるのが最も望ましい。以上により、再書き込み動作は、終了し救済状態にあることを示すフラグを立ち下げ、全ての変動確認動作を終了する。

【0041】以上の実施例は、第一及び第二の変動確認電圧を用いて、読み出しデータとの3値比較することによって行っているが、セルのしきい値の変動方向が、決まっているときは、第一の変動確認動作もしくは、第二の変動確認動作いずれかのみを用いることによって、2値比較することによって、行ってもよい。以下に、具体的に述べる。

【0042】次に本発明に関わる第二の実施例を説明する。本実施例は、セルのしきい値が小の方向に変動することが明かな場合で、その検知は図9(a)、(b)に示される電圧印加法によって行う。ここでは制御ゲートCG2を有するメモリセルM2が選択されている。図9(a)に見られるように選択ワード線CG2に読みだし電圧0.5Vを印加し、非選択ワード線CG1、CG3、CG4及び、選択ゲートSG1、SG2に V_{cc} 、例えば5Vを印加し、共通ソース線Vs及びp型基板*

*またはp型ウェルは0Vに接地し、ビット線BLは V_{cc} にプリチャージしフローティングにする。この時、選択セルM2のしきい値が読みだし電圧0.5V以上の場合はセル電流は流れず、ビット線BLの電圧は維持される。一方選択セルM2のしきい値が読みだし電圧0.5V以下の場合はセル電流は流れ、ビット線BLの電圧はプリチャージレベルから0Vになり、このビット線の電圧差をセンスアンプが検知する。この時、ビット線電圧が0Vになる時を"1" データとし、他方を"0" データとする。その後、検知したセルの読み出しデータをセンスアンプからラッチ回路に転送し、センスアンプとラッチ回路を切り離す。

【0043】次に、ラッチしたデータをI/Oに転送する間に、次に示すしきい値変動レベルのチェックを行う。図9(b)に見られるように選択ワード線CG2に第一の変動確認電圧0.0Vを印加し、非選択ワード線CG1、CG3、CG4及び選択ゲートSG1、SG2に V_{cc} 、例えば5Vを印加し、共通ソース線Vs及びp型基板1およびp型ウェル2bは0Vに接地し、ビット線BLは V_{cc} にプリチャージしフローティングにする。この時、もし選択セルM2のしきい値が第一の変動確認電圧0.0V以上ならセル電流は流れず、ビット線BLの電圧は、維持され、一方、もし選択セルM2のしきい値が第一の変動確認電圧0.0V以下ならセル電流は流れ、ビット線BLの電圧はプリチャージレベルから0Vになる。このビット線の電圧差を持って、センスアンプで第一の変動確認データを検知する。この時、表2に示す様な分類及び検知結果が判断できる。

【0044】

【表2】

しきい値状態	読みだしデータ 図9(a)	第1の変動確認データ 図9(b)	検知の結果
$0.5V < V_{th}$	"0"	"0"	正常
$0.0V < V_{th} \leq 0.5V$	"1"	"0"	電子線注入され異常
$0.0V > V_{th}$	"1"	"1"	正常

まず、セルのしきい値が0.5V以上の場合は、読み出しデータは、"0"であり、かつ第一の変動確認データは、"0"である。また、セルのしきい値が0.0V以上かつ0.5V以上の場合は、読み出しデータは、"1"であり、かつ第一の変動確認データは、"0"である。また、セルのしきい値が0.0V以下の場合は、読み出しデータは、"1"であり、かつ第一の変動確認データは、"1"である。

【0045】以下に、上記の分類に対する修正動作法を説明する。まず、読みだしデータ、第一の変動確認データが"0"の場合は、本来"0"データが書込まれたものであり、正常にデータ保持されていると判断し、当セ

ルに対するデータ修正は行わない。また、読みだしデータ、第一の変動確認データが"1"の場合は、本来"1"データが書込まれたものであり、正常にデータ保持されていると判断し、当セルに対するデータ修正は行わない。

【0046】また、読みだしデータが"1"であり、第一の変動確認データが"0"であり、の場合は、本来"1"データが書込まれたものであるが、しきい値が負のしきい値から正のしきい値へ変動してきており、十分その変動値は大きく、正常にデータ保持されているとは判断されず、前実施例と同様にデータの再書き込みが行われる。この時行われる前記消去ベリファイ動作時に用い

られる消去ペリファイ電圧は、第一の変動確認電圧以下でもよいが、特に第一の変動確認電圧と同じ電圧を用いるのが望ましい。また、前記書き込みペリファイ動作時に用いられる書き込みペリファイ電圧は、読み出し電圧と同じ電圧を用いるのが望ましい。以上に述べた動作のシーケンスをまとめて図10に示す。

【0047】次に本発明に関わる第三の実施例を説明する。本実施例は、セルのしきい値が大の方向に変動することが明かな場合で、その検知は図9(c)、(d)に示される電圧印加法によって行う。ここでは制御ゲートCG2を有するメモリセルM2が選択されている。図9(c)に見られるように選択ワード線CG2に読みだし電圧0.5Vを印加し、非選択ワード線CG1、CG3、CG4及び選択ゲートSG1、SG2にVcc、例えば5Vを印加し、共通ソース線Vs及び、p型基板1およびp型ウェル2bは0Vに接地し、ビット線BLはVccにプリチャージしフローティングにする。この時、選択セルM2のしきい値が読みだし電圧0.5V以上

の場合セル電流は流れず、ビット線BLの電圧は維持される。一方、選択セルM2のしきい値が読みだし電圧0.5V以下の場合セル電流は流れ、ビット線BLの電圧はプリチャージレベルから0Vになり、このビット線

の電圧差をセンスアンプが検知する。この時、ビット線電圧が0Vになる時を"1"データとし、一方を"0"データとする。その後、検知したセルの読み出しデータをセンスアンプから、ラッチ回路に転送し、センスアンプとラッチ回路を切り離す。

【0048】次に、図9(d)に見られるように選択ワード線CG2に第二の変動確認電圧1.0Vを印加し、非選択ワード線CG1、CG3、CG4及び選択ゲートSG1、SG2にVcc、例えば5Vを印加し、共通ソース線Vs及び、p型基板またはp型ウェルは0Vに接地し、ビット線BLはVccにプリチャージしフローティングにする。この時、選択セルM2のしきい値が第二の変動確認電圧1.0V以上の場合セル電流は流れず、ビット線BLの電圧は維持される。一方、選択セルM2のしきい値が第二の変動確認電圧1.0V以下の場合セル電流は流れ、ビット線BLの電圧はプリチャージレベルから0Vになる。このビット線の電圧差を持って、センスアンプが第二の変動確認データを検知する。この時、表3に示す様な分類及び検知結果が判断できる。

【0049】

【表3】

しきい値状態	読みだしデータ 図9(c)	第二の変動確認データ 図9(d)	検知の結果
$1.0V < V_{th}$	"0"	"0"	正常
$0.5V < V_{th} \leq 1.0V$	"0"	"1"	電子線照射結果
$V_{th} \leq 0.5V$	"1"	"1"	正常

まず、セルのしきい値が1.0V以上の場合、読み出しデータは、"0"であり、かつ第二の変動確認データは、"0"となる。また、セルのしきい値が0.5V以上かつ1.0V以下の場合、読み出しデータは、"0"であり、かつ第二の変動確認データは、"1"となる。また、セルのしきい値が0.5V以下の場合、読み出しデータは、"1"であり、かつ第二の変動確認データは、"1"となる。

【0050】以下に、上記の分類に対する修正動作法について示す。まず、読みだしデータ、第二の変動確認データが"0"の場合は、本来"0"データが書込まれたものであり、正常にデータ保持されていると判断し、当セルに対するデータ修正は行わない。また、読みだしデータ、第二の変動確認データが"1"の場合は、本来"1"データが書込まれたものであり、正常にデータ保持されていると判断し、当セルに対するデータ修正は行わない。

【0051】これに対し、読みだしデータが"0"であり、第二の変動確認データが"1"であり、の場合は、本来"0"データが書込まれたものであるが、しきい値が正のしきい値から負のしきい値へ変動してきており、

十分その変動値は大きく、正常にデータ保持されているとは判断されず、前実施例と同様にデータの再書き込みが行われる。この時行われる前記消去ペリファイ動作時に用いられる消去ペリファイ電圧は、読み出し電圧と同じ電圧を用いるのが望ましい。また、前記書き込みペリファイ動作時に用いられる書き込みペリファイ電圧は、第二の変動確認電圧以上でもよいが、特に第二の変動確認電圧と同じ電圧を用いるのが望ましい。以上に述べた動作のシーケンスをまとめて図11に示す。

【0052】以上述べた読み出し電圧、第一の変動検知電圧、第二の変動検知電圧は、その大小関係だけが重要であり、いずれの電圧を0VやVcc等の基準電圧にしてもよいし、NOR型EEPROMやメモリセルを並列に接続したAND型EEPROMに適用してもよい。

【0053】次に本発明を具体的に実現するための回路を説明する。図12は、プリチャージ回路、書き込み変動確認回路、消去変動確認回路、ビット毎ペリファイ回路、センスアンプ兼データラッチ回路、一括検知回路を含めた回路例である。pチャネルMOSトランジスタTr2、Tr3で書き込み変動確認回路が構成され、nチャネルMOSトランジスタTr4、Tr5で消去変動確

認回路が構成されている。

【0054】図13は、図4、表1で説明した異常データの検知を説明するための回路図で、図において $n = i, j, k, l$ とする。 i はメモリセル $M2i$ の読出しデータ、第一および第二の変動確認データが“0”の場合、すなわち本来“0”データが書き込まれ、それが正常にデータ保持されている場合で、 $M2i$ に対するデータ修正を行わない場合に対応する。

【0055】 j はメモリセル $M2j$ の読出しデータおよび第一の変動確認データが“0”であり、第二の変動確認データが“1”の場合、すなわち本来“0”のデータが書き込まれたものであるが、しきい値が正のしきい値から負のしきい値へ変動している場合で、再びしきい値を正の方向へシフトさせるように、メモリセル $M2j$ に再書き込みを行う場合に対応する。

【0056】 k はメモリセル $M2k$ の読出しデータ、および第二の変動確認データが“1”であり、第一の変動確認データが“0”の場合、すなわち本来“1”のデータが書き込まれたものであるが、しきい値が負のしきい値から正のしきい値へ変動している場合で、再びしきい値を負の方向へシフトさせるように、メモリセル $M2k$ に再書き込みを行う場合に対応する。

【0057】 l はメモリセル $M2l$ の読出しデータ、第一および第二の変動確認データが“1”の場合、すなわち本来“1”のデータが書き込まれ、それが正常にデータ保持されている場合で、 $M2l$ に対するデータ修正は行わない場合に対応する。

【0058】図14、15はメモリセル $M2k$ に本来“1”のデータが書き込まれたものであるが、しきい値が負のしきい値から正のしきい値へ変動している場合を検知す動作タイミング図を2分割して示したものである。最初ビット線リセット用の信号 $PRSTD$ が V_{cc} から V_{ss} に変化し、ビット線プリチャージ信号 $PREB$ が V_{cc} から V_{ss} に変化すると、ビット線 BLi 、 BLj 、 BLk 、 BLl がビット線プリチャージレベル VR まで充電される。このときビット線トランスファゲート信号 $BLCD$ も V_{ss} から V_{cc} へと変化し、ペリファイノード $VRyi$ 、 $VRyj$ 、 $VRyk$ 、 $VRyl$ も VR まで充電される。次に制御ゲート信号 $CG2$ が読出し電圧 $VREAD$ （例えば0.5V）に、その他の制御ゲート信号 $CG1$ 、 $CG3$ 、 $CG4$ 、選択ゲート信号 $SG1$ 、 $SG2$ が V_{cc} になると、メモリセル $M2i$ 、 $M2j$ 、 $M2k$ 、 $M2l$ が読み出される。

【0059】メモリセル $M2i$ 、 $M2j$ は本来“0”が書かれており、 $M2k$ 、 $M2l$ は本来“1”が書かれているため、ビット線 BLk 、 BLl のみが放電されて VR から V_{ss} に変化する。その後センスアンプの制御信号 SEN 、 $RLCH$ が V_{ss} から V_{cc} になり、 $SENB$ 、 $RLCHB$ が V_{cc} から V_{ss} になると、ペリファイノード $VRyi$ 、 $VRyj$ には V_{cc} が、 $VRyk$ 、

$VRyl$ には V_{ss} がラッチ（記憶）される。

【0060】その後再び第一の確認電圧 $VREF1$ で読み出すために、ビット線はビット線トランスファゲート信号 $BLCD$ が V_{cc} から V_{ss} になり、ペリファイノードから切り離され、ビット線リセットの後、 VR まで充電される。

【0061】次に制御ゲート信号 $CG2$ に第一の確認電圧 $VREF1$ （例えば0V）、その他の制御ゲート信号 $CG1$ 、 $CG3$ 、 $CG4$ 、選択ゲート信号 $SG1$ 、 $SG2$ が V_{cc} になると、メモリセル $M2i$ 、 $M2j$ 、 $M2k$ 、 $M2l$ が読み出される。このときメモリセル $M2k$ はしきい値が負のしきい値から正のしきい値へ変動しているため、ビット線 BLk は放電されない。その他のビット線は、その前回の制御ゲート信号 $CG2$ に読出し電圧 $VREAD$ が印加されて読み出された場合と同じである。

【0062】次に前回の読出しデータとの比較が始まる。前回の読出しデータは、ペリファイノード $VRyi$ 、 $VRyj$ 、 $VRyk$ 、 $VRyl$ にラッチされている。消去確認回路の消去確認信号 $REFE$ が V_{ss} から V_{cc} になると、ビット線 BLi 、 BLj は VR から V_{ss} になり、ビット線 BLl は V_{ss} であるから、ビット線 BLk のみプリチャージレベル VR を保つ。その後ビット線トランスファゲート $BLCD$ が V_{ss} から V_{cc} になり、ビット線とペリファイノードが短絡すると、ビット線 BLi 、 BLj は $V_{ss} + \beta$ 、 BLk は $VR - \alpha$ 、 BLl は V_{ss} になる。ここで α 、 β はビット線、ペリファイノードの容量をそれぞれ CB 、 $CVRY$ とすると、

$$VR - \alpha = -VR \times CB / (CB + CVRY)$$

$$V_{ss} + \beta = (V_{cc} \times CVRY) / (CB + CVRY)$$

であり、 CB は $CVRY$ に比較して遥かに大きいので、 $VR - \alpha$ はほぼ VR に等しくなり、 $V_{ss} + \beta$ はほぼ0Vになる。

【0063】次にセンスアンプ制御信号 SEN 、 $RLCH$ が V_{ss} から V_{cc} になり、 $SENB$ 、 $RLCHB$ が V_{cc} から V_{ss} になると、ペリファイノード $VRyk$ のみ V_{cc} になり、その他の $VRyi$ 、 $VRyj$ 、 $VRyl$ は V_{ss} になる。その後一括検知リセット信号 $VSTIN$ が V_{cc} から V_{ss} になり、消去検知信号 AEC が V_{ss} から V_{cc} になると、 $SENSE$ が V_{cc} から V_{ss} になり、読出し異常を知らせる。読み出し異常が知らされると、メモリセルの再書き込みが始まる。

【0064】図16、17はメモリセル $M2j$ に本来“0”のデータが書き込まれたものであるが、しきい値が正のしきい値から負のしきい値へ変動している場合を検知す動作タイミング図を2分割して示したものである。最初ビット線リセット用の信号 $PRSTD$ が V_{cc} から V_{ss} に変化し、ビット線プリチャージ信号 PRE

BがVccからVssに変化すると、ビット線BLi、BLj、BLk、BLlがビット線プリチャージレベルVRまで充電される。このときビット線トランスファゲート信号BLCDもVssからVccへと変化し、ペリファイノードVRYi、VRYj、VRYk、VRYlもVRまで充電される。次に制御ゲート信号CG2が読出し電圧VREAD（例えば0.5V）に、その他の制御ゲート信号CG1、CG3、CG4、選択ゲート信号SG1、SG2がVccになると、メモリセルM2i、M2j、M2k、M2lが読み出される。

【0065】メモリセルM2i、M2jは本来“0”が書かれており、M2k、M2lは本来“1”が書かれているため、ビット線BLk、BLlのみが放電されてVRからVssに変化する。その後センスアンプの制御信号SEN、RLCHがVssからVccになり、SENB、RLCHBがVccからVssになると、ペリファイノードVRYi、VRYjにはVccが、VRYk、VRYlにはVssがラッチ（記憶）される。

【0066】その後再び第二の確認電圧VREF2で読み出すために、ビット線はビット線トランスファゲート信号BLCDがVccからVssになり、ペリファイノードから切り離され、ビット線リセットの後、VRまで充電される。

【0067】次に制御ゲート信号CG2に第二の確認電圧VREF2（例えば1V）、その他の制御ゲート信号CG1、CG3、CG4、選択ゲート信号SG1、SG2がVccになると、メモリセルM2i、M2j、M2k、M2lが読み出される。このときメモリセルM2jはしきい値が正のしきい値から負のしきい値へ変動しているため、ビット線BLjは放電される。その他のビット線は、その前回の制御ゲート信号CG2に読出し電圧VREADが印加されて読み出された場合と同じである。

【0068】次に前回の読出しデータとの比較が始まる。前回の読出しデータは、ペリファイノードVRYi、VRYj、VRYk、VRYlにラッチされている。書き込み確認回路の書き込み確認信号REFPがVccからVssになると、ビット線BLk、BLlはVssからVssになり、ビット線BLjはVssであるから、ビット線BLiのみプリチャージレベルVRを保つ。その後ビット線トランスファゲートBLCDがVssからVccになり、ビット線とペリファイノードが短絡すると、ビット線BLk、BLlはVcc-α、BLjはVss+β、BLiはVssになる。ここでα、βはビット線、ペリファイノードの容量をそれぞれCB、CVR Yとすると、

$$Vcc - \alpha = -(Vcc \times CB) / (CB + CVRY)$$

$$Vss + \beta = (Vcc \times CVRY) / (CB + CVRY)$$

であり、CBはCVR Yに比較して遥かに大きいので、

Vcc-αはほぼVccに等しくなり、Vss+βはほぼ0Vになる。

【0069】次にセンスアンプ制御信号SEN、RLCHがVssからVccになり、SENB、RLCHBがVccからVssになると、ペリファイノードVRYjのみVssになり、その他のVRYi、VRYk、VRYlはVccになる。その後一括検知リセット信号VSTINがVccからVssになり、書き込み検知信号APCONがVssからVccになると、SENSEがVccからVssになり、読出し異常を知らせる。読み出し異常が知られると、メモリセルの再書き込みが始まる。

【0070】図18、19はコア部の回路ブロックを2分割して示したものであり、ブロックh、iは再書き込み用のスペアのブロックであり、その他のブロックd、e、f、gは通常ブロックである。今、例えばブロックdで読み出し異常が発生した場合を考える。この場合、ブロックdの記憶データを再書き込み用のスペアブロックhにコピーをして、ブロックdをブロック消去後、ブロックhの内容をブロックdに再書き込みする。すなわち、まずスペアブロックhをブロック消去した後、ブロックdの制御ゲート線CGd4から読み出し電圧VREADで読み出す。この時読み出しデータには異常がなく、しきい値の変動があっても正確に読み出されている。この内容は、センスアンプ兼データラッチ回路DLj、DLk、DLlにラッチされる。このセンスアンプ兼データラッチ回路DLj、DLk、DLlにラッチされたデータを制御ゲート線CGh4を選択して書き込む。順次これをくり返し制御ゲート線CGd4、CGd3、CGd2、CGd1に関する記憶データを制御ゲート線CGh4、CGh3、CGh2、CGh1に書き込む。続いて、ブロックdをブロック消去後、逆にスペアブロックhの記憶データの内容をブロックdに再書き込みする。

【0071】また、ブロック消去でなく各ページ単位の消去が行える場合には、スペアブロックh、iを使用しなくても、ブロックdの各制御ゲート線に関する内容をセンスアンプ兼データラッチ回路DLj、DLk、DLlに1本ずつ読み出し、その都度センスアンプ兼データラッチ回路DLj、DLk、DLlに読み出されたデータを各制御ゲート線ごとの消去後に再書き込みを行えばよい。また、DRVd～DRV iは制御ゲート線・選択ゲート線ドライバ回路、BALd～BAL iはブロックアドレスラッチ回路である。

【0072】また、図20は他の回路例であるが、このように書き込み変動確認回路とビット毎ペリファイ回路とを共用し、コア部のトランジスタ数を削減し、チップ面積の減少を計った場合でも本発明は有効である。

【0073】図21はさらに他の回路例であるが、このように消去変動確認回路と書き込み変動確認回路とビッ

10

20

30

40

50

ト毎ベリファイ回路を共用してもよい。この場合トランジスタ $Tr1$ の電源電圧 V_{cc} 、 V_{ss} は、書き込み変動確認時およびビット毎ベリファイ時には V_{cc} になり、消去変動確認時には V_{ss} になる。図 21 の消去変動確認回路兼書き込み変動確認回路兼ビット毎ベリファイ回路は n チャンネル MOS トランジスタで構成されている。

【0074】次に本発明の第四の実施例を述べる。図 22 のしきい値分布に示すように、前述のようなビット毎ベリファイ書き込みを行っても、所定の範囲にしきい値を設定できないことがある。例えば、NAND 型 EEPROM において、“0” データを選択セルに書き込み、その時、そのしきい値が V_{cc} 以上、例えば 7V になったとする。次に、前記選択セルを含む NAND セルの別のセルを選択して、データを読み出そうとしたとしても、非選択セルの中にしきい値が V_{cc} 以上のセルが存在するので、セル電流が流れない。このため、選択セルのデータに関係なく、常に“1”データと読み出してしまい、不良と判定されてしまう。つまり、NAND 型セルの全ワード線に V_{cc} を印加してもセル電流が流れないときは、選択 NAND 型セル内のいずれかのセルにおいて、そのしきい値が所定の範囲を超えて、 V_{cc} 以上になっていることになる。この時、図 23 の電圧印加図に示すように、 V_{cc} よりも大きい電圧の強制読み出し電圧 V_{m0} を非選択ワード線もしくは、選択ゲートに印加し、選択ワード線に読み出し電圧、例えば 0.5V 程度を印加しセルデータを読み出す。このデータに従って、別ブロックに同一データを再書き込みを行うことによって、不良セルを救済する。この時、前記強制読み出し電圧 V_{m0} は、 V_{cc} 以上の電圧であり、特にデータ書き込み時に選択ブロック内の非選択制御ゲートに印加する中間電圧と同じであることが望ましい。以上に述べた動作のシーケンスをまとめて図 24 に示す。

【0075】以上述べた第四の実施例の具体的な動作をカードシステムを例にとって説明する。本実施例のカードシステムの基本構成は図 7 に示したシステムと同じである。すなわち、外部装置はインターフェイス 31 を介して、カードシステム 30 のコントローラ (CPU) 32 に接続されている。この CPU 32 と、内部バッテリ 33 と、タイマ 34 に対して、メモリシステム (この場合は 40') が接続されている。このメモリシステム内での動作法を、メモリ構造として NAND 型 EEPROM セル構造を有するシステムについて、不良となったセルのみでなく、不良となったセルを含む同一ワード線につながるセルブロック全体を、別のワード線につながる別のブロックに再書き込みを行う場合を例にとって説明する。なおここでいうメモリシステムは、単一のメモリチップで構成される場合もあるが、一部の機能がチップ外に外付けとなる場合もある。

【0076】図 25 は本実施例のメモリシステム 40' の構成を示すブロック図である。図 8 と同一ブロックに

は同一番号を付している。まず、データを書き込みを行うセルブロックが選択され、内部アドレス発生回路により、データを書き込むべきメモリチップを選択しさらにその内部の制御ゲートとビット線を選択し、さらに、書き込むべきデータがデータ入力バッファによってラッチされる。そして、書き込み動作タイミング制御回路 50 によって、選択セルブロック内の全制御ゲートに 0V を印加し、非選択セルブロック内の全選択ゲート、 p 型ウェル、 n 型半導体基板、及び、全選択ゲートに、高電圧発生回路 45 によって、消去用高電圧、例えば 20V 程度を印加し、選択セルブロック内の全セルを消去する。

【0077】次に、消去状態を確認するために消去ベリファイ動作にはいる。選択セルブロック内の全制御ゲートに消去ベリファイ電圧を印加して、通常の読み出し手順に従ってデータを読み出し、全データが“1”データになるまで、前記消去動作と、消去ベリファイ動作を繰り返し行う。次に、書き込み動作タイミング制御回路 50 によって、選択セルブロック内の選択制御ゲートに、高電圧発生回路 45 によって、書き込み用高電圧、例えば 20V 程度を印加し、選択セルブロック内の非選択制御ゲートに、中間電圧発生回路 46 によって、中間電圧、例えば 10V 程度を印加し、各ビット線には前記データ入力バッファ回路 53 内にラッチしてあるデータに従って、もし“1”データなら前記中間電圧発生回路 46 によって、中間電圧、例えば 7V 程度を印加し、もし“0”データなら 0V を印加し、データを書き込む。

【0078】次に、書き込み状態を確認するために書き込みベリファイ動作にはいる。選択セルブロック内の選択制御ゲートにしきい値の下限を判定する第一の書き込みベリファイ電圧を印加して、非選択制御ゲートには、 V_{cc} を印加し、通常の読み出し手順に従ってデータを読み出し、全データが読み出しデータと一致するまで、前記書き込み動作と、書き込みベリファイ動作を繰り返し行う。次に、選択セルブロック内の全ての制御ゲートに、しきい値の上限を判定する V_{cc} 以下の第二の書き込みベリファイ電圧を印加し、選択ゲートには、 V_{cc} を印加して、各ビット線の電圧をセンスアンプ回路によってデータを読み出し、その結果を I/O バッファに入れ、データラッチ回路にデータにラッチする。次に、データ比較回路により、データラッチ回路内にラッチしてあるデータの値を比較する。その比較結果をしきい値範囲確認判断回路 57 によって以下に示すように処理される。この時、もし、全データが、“1”データならば、正常のしきい値の範囲にデータが書き込まれたので正常に終了する。一方、もし、全データが、“1”データにならないければ、選択ブロック内の少なくとも一つのセルのしきい値が、所定の範囲を超えて書き込まれたことが判断され、次にチップ状態が救済状態にあることを示すフラグを立て、次に示す手順でデータの再書き込みを行う。

10

20

30

40

50

【0079】メモリセルアレイブロック管理回路58によって、前記選択セルブロックを不良ブロックとしてプロテクトをかけ、次のセルブロックを選択し、以前の選択セルブロック内のセルアドレスを、今回選択したセルブロック内のセルに割り付ける。そして、書き込み動作タイミング制御回路50によって、新しい選択セルブロック内の全制御ゲートに0Vを印加し、非選択セルブロック内の全選択ゲート、p型ウエル、n型半導体基板、及び、全選択ゲートに、高電圧発生回路45によって、消去用高電圧、例えば20V程度を印加し、選択セルブロック内の全セルを消去する。

【0080】次に、消去状態を確認するために消去ベリファイ動作にはいる。選択セルブロック内の全制御ゲートに消去ベリファイ電圧を印加して、通常の読み出し手順に従ってデータを読み出し、全データが“1”データになるまで、前記消去動作と、消去ベリファイ動作を繰り返し行う。次に読み出しタイミング制御回路52によって、前選択セルブロックに接続されている全ビット線をVcc電圧までプリチャージした後に、前選択NANDセル内の選択制御ゲートに、読み出し電圧、例えば0.5Vを印加し、選択NANDセル内の非選択制御ゲート及び選択NANDセル内の選択ゲートに、中間電圧発生回路46によって強制読み出し電圧V_{m0}、例えば10Vを印加する。そして、各ビット線の電圧をセンスアンプ回路43によってデータを読み出し、その結果を1/Oバッファに入れ、データラッチ回路55にデータを強制読み出しデータとしてラッチする。

【0081】次に書き込み動作タイミング制御回路50によって、新しい選択セルブロック内の選択制御ゲートに、高電圧発生回路45によって、書き込み用高電圧、例えば20V程度を印加し、新しい選択セルブロック内の非選択制御ゲートに、中間電圧発生回路46によって、中間電圧、例えば10V程度を印加し、各ビット線には、前記データラッチ回路内にラッチしてある強制読み出しデータに従って、もし“1”データなら前記中間電圧発生回路46によって、中間電圧、例えば7V程度を印加し、もし“0”データなら0Vを印加し、データを書き込む。

【0082】次に、書き込み状態を確認するために書き込みベリファイ動作にはいる。選択セルブロック内の選択制御ゲートに書き込みベリファイ電圧を印加して、非選択制御ゲートにはVccを印加し、通常の読み出し手順に従ってデータを読み出し、全データが読み出しデー

タと一致するまで、前記書き込み動作と書き込みベリファイ動作を繰り返し行う。次に選択セルブロック内の全ての制御ゲートに、しきい値の上限を判定するVcc以下の第二の書き込みベリファイ電圧を印加し、選択ゲートには、Vccを印加して、各ビット線の電圧をセンスアンプ回路43によってデータを読み出し、その結果を1/Oバッファに入れ、データラッチ回路55にデータにラッチする。次に、データ比較回路56により、データラッチ回路内にラッチしてあるデータの値を比較する。その比較結果をしきい値範囲確認判断回路57によって以下に示すように処理される。この時、もし、全データが、“1”データならば、正常のしきい値の範囲にデータが書き込めたので、再書き込み動作は終了し、救済状態にあることを示すフラグを立ち下げ、全てのしきい値範囲確認動作を終了する。もし、全データが、“1”データにならなければ、正常終了するまでしきい値範囲確認動作を行う。

【0083】なお、本発明は、上述の実施例に限定されるものではない。前記、実施例では、EEPROM等の不揮発性半導体記憶装置に関して述べたが、電荷蓄積層に電荷を蓄積して“1”、“0”のデータを書き込む半導体記憶装置、例えば、ダイナミックRAM等に適用してもよい。また、前記実施例では、データは“1”、“0”とした、2値の場合について説明したが、3値以上の多値の場合に適用してもよい。つまり、図26に示すように、各データに対応する読み出し電圧(V_{r-N})に対して、その前後に、各データに対して、第一のしきい値確認電圧(V_{v1-N})と、第二のしきい値確認電圧(V_{v2-N})を設定して、前記実施例と同様に、各データに対応する読み出し電圧(V_{r-N})での読み出しデータ(Data-N)と、第一のしきい値確認電圧(V_{v1-N})による第一の確認データ(Data-v_{1-N})と、第二のしきい値確認電圧(V_{v2-N})による第二の確認データ(Data-v_{2-N})を比較してしきい値の変動を検知する。そして、再書き込み時に行うしきい値ベリファイ動作時に制御ゲート時に印加する電圧は、N番目のデータを書き込むときは、第一のしきい値確認電圧(V_{v1-N})と、第二のしきい値確認電圧(V_{v2-N})を用いてもよい。この時、表4に示す様な分類及び検知結果が判断できる。

【0084】

【表4】

10

20

30

40

	しきい値状態	読み出しデータ	第1検出電圧データ	第2検出電圧データ	検知の結果
"N"データと "N+1"データ 差動を検出する 場合	$Vv2-N+1 \leq Vth$	"0"	"0"	"0"	"N+1"データが正常である
	$Vr-N+1 \leq Vth$	"0"	"0"	"0"	"N+1"データが正常でない
	$< Vv2-N+1$	"0"	"0"	"1"	るので "N+1" に書き込み
	$Vv1-N+1 \leq Vth$	"0"	"1"	"1"	"N"データが正常でない
	$< Vr-N+1$	"0"	"1"	"1"	で "N" に書き込み
"N"データと "N-1"データ 差動を検出する 場合	$Vv2-N \leq Vth$	"0"	"0"	"0"	"N"データが正常である
	$Vr-N \leq Vth$	"0"	"0"	"0"	"N"データが正常でない
	$< Vv2-N$	"0"	"0"	"1"	で "N" に書き込み
	$Vv1-N \leq Vth$	"0"	"1"	"1"	"N-1"データが正常でない
	$< Vr-N$	"0"	"1"	"1"	るので "N-1" に書き込み
	$Vth < Vv1-N$	"1"	"1"	"1"	"N-1"データが正常である

【0085】

【発明の効果】本発明においては、第一の電圧よりも高い第二の電圧をワード線に印加し、セルデータを読みだし、第一の電圧をワード線に印加して読み出したセルデータとを比較することによって、もし、これらのデータが同一の場合は、正常の範囲に設定されていると判断し、一方、これらのデータが異なる場合は、データ破壊はしていないが、十分しきい値変動していると検知できる。また、第一の電圧よりも低い第三の電圧をワード線に印加し、セルデータを読みだし、第一の電圧をワード線に印加して読み出したセルデータとを比較することによって、これらのデータが同一の場合は、正常の範囲に設定されていると判断し、一方これらのデータが異なる場合は、データ破壊はしていないが、十分しきい値変動していると検知できる。セルのしきい値が十分変動していると検知されたときは、各セルの元のしきい値に戻すように、データを再書き込みを行う。

【0086】このようにして、本発明によれば、しきい値変動によって、データが破壊する前に、そのしきい値変動を検知し、元の制御されたしきい値に修正される。

【図面の簡単な説明】

【図1】本発明の第一実施例に係るNAND型EEPROMメモリセルアレイ部の平面図。

【図2】図1のA-A'線に沿った断面図。

【図3】(a)は図1のB-B'線に沿った断面図、(b)は図1のC-C'線に沿った断面図。

【図4】第一実施例におけるしきい値変動検知時の電圧印加法を説明する図。

【図5】第一実施例におけるしきい値変動の検知および救済のシーケンスを説明する図。

【図6】第一実施例におけるカードのブロック図。

【図7】第一実施例におけるカードシステムのブロック図。

【図8】図7におけるメモリシステムのブロック図。

【図9】(a)、(b)は第二実施例におけるしきい値変動検知時の電圧印加法を説明する図で、(c)、(d)は第三実施例におけるしきい値変動検知時の電圧印加法を説明する図。

【図10】第二実施例におけるしきい値変動の検知および救済のシーケンスを説明する図。

【図11】第三実施例におけるしきい値変動の検知および救済のシーケンスを説明する図。

【図12】本発明を実現する具体的回路図。

【図13】図12の動作を説明するための図。

【図14】図13の一動作を説明する動作タイミング図の一部。

【図15】図13の一動作を説明する動作タイミング図の残りの部分。

【図16】図13の他の動作を説明する動作タイミング図の一部。

【図17】図13の他の動作を説明する動作タイミング図の残りの部分。

【図18】本発明の半導体記憶装置のコア部のブロック図の一部。

【図19】本発明の半導体記憶装置のコア部のブロック図の残りの部分。

【図20】本発明を実現する他の具体的回路図。

【図21】本発明を実現するさらに他の具体的回路図。

【図22】しきい値分布の異常を説明する図。

【図23】第四実施例におけるしきい値変動検知時の電圧印加法を説明する図。

【図24】第四実施例におけるしきい値変動の検知および救済のシーケンスを説明する図。

【図25】第四実施例におけるメモリシステムのブロック図。

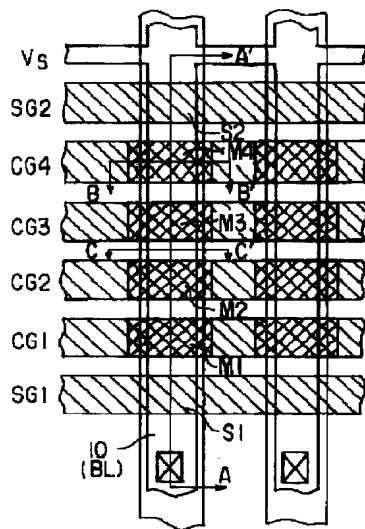
【図26】多値のしきい値変動確認の方法を説明するた*10

*めの図。

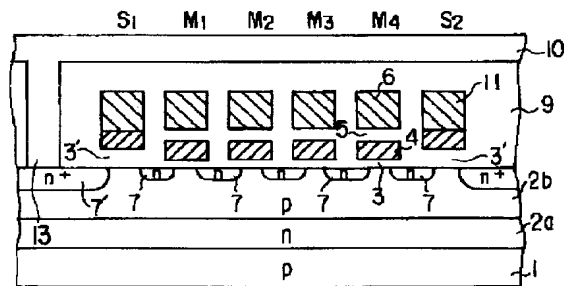
【符号の説明】

1…p型半導体基板、2a…n型ウェル、2b…p型ウェル、3…第一の絶縁膜、4…電荷蓄積層、5…第二の絶縁膜、6…制御ゲート、7…n型拡散層、8…素子分離層、9…層間絶縁膜、10…ビット線、11…選択ゲート、13…ビット線コンタクト、15…反転防止層、S…選択トランジスタ、M…メモリセル、SG…選択ゲート、CG…制御ゲート（ワード線）、BL…ビット線、V_s…ソース線電圧

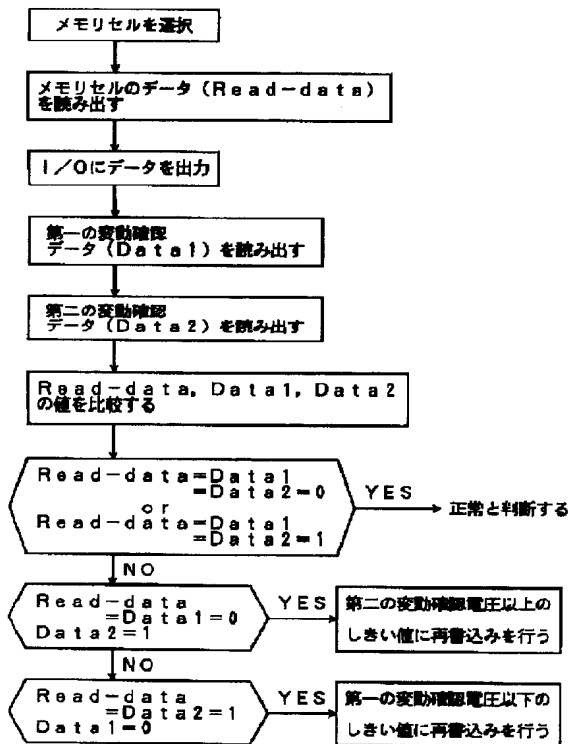
【図1】



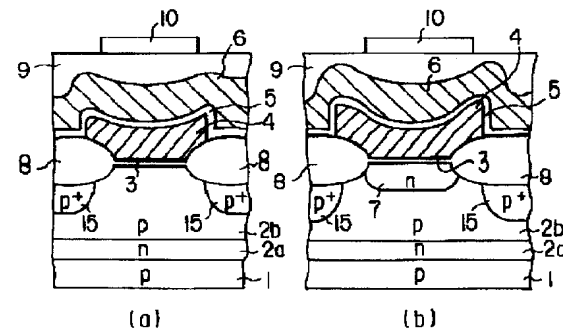
【図2】



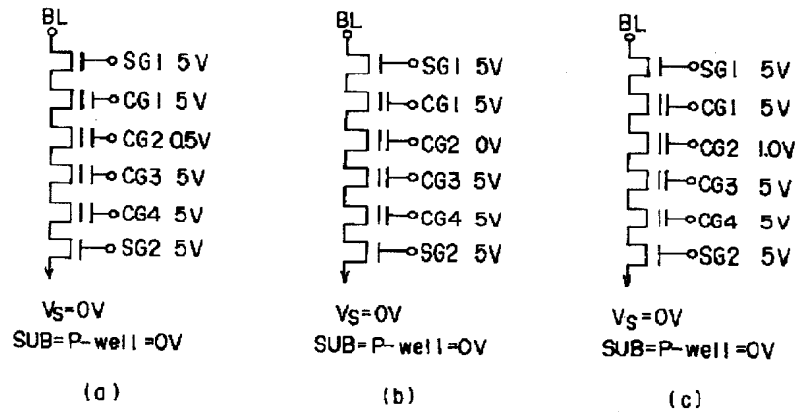
【図5】



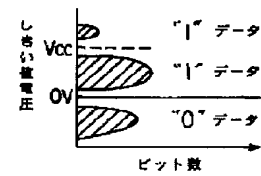
【図3】



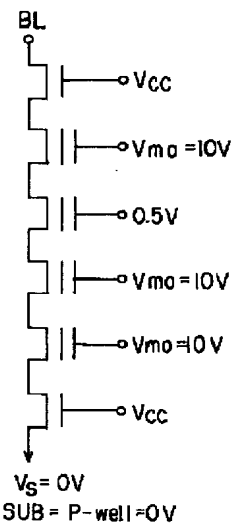
【図4】



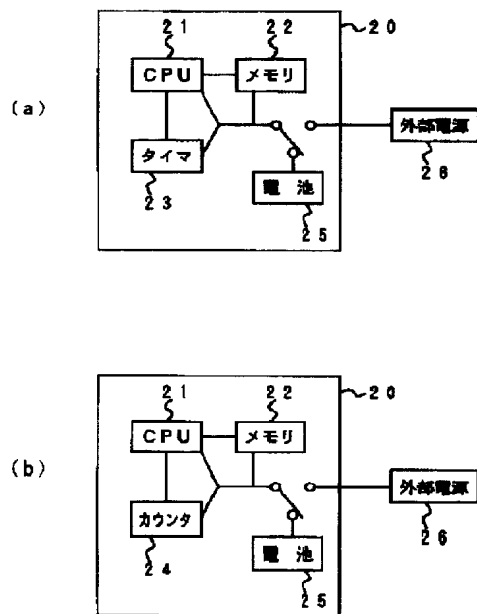
【図22】



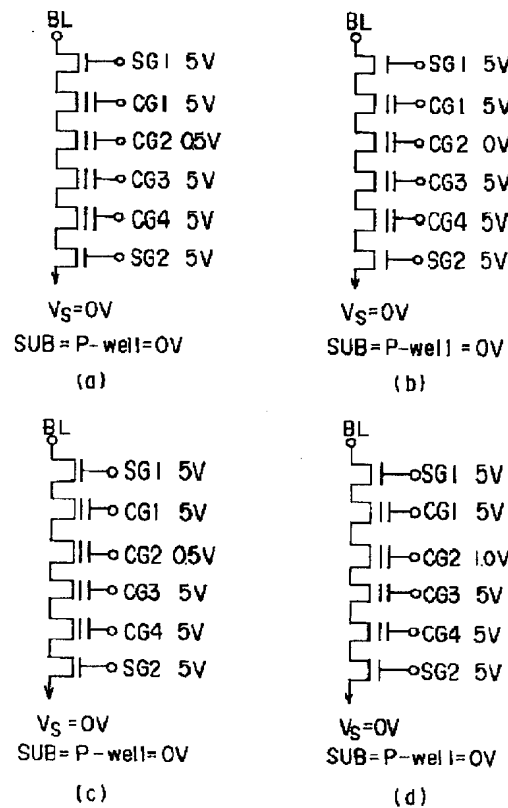
【図23】



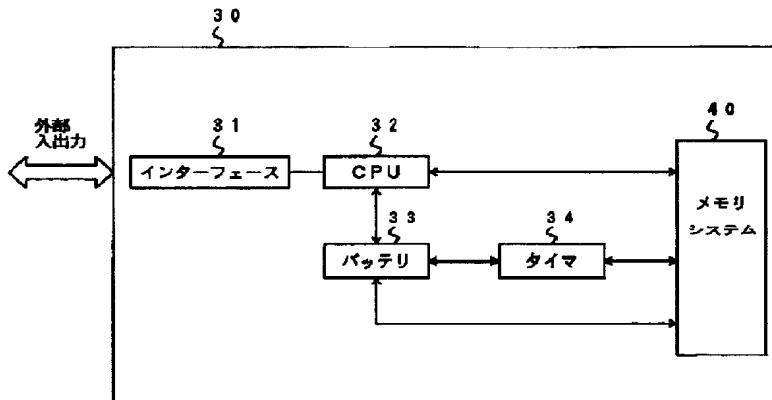
【図6】



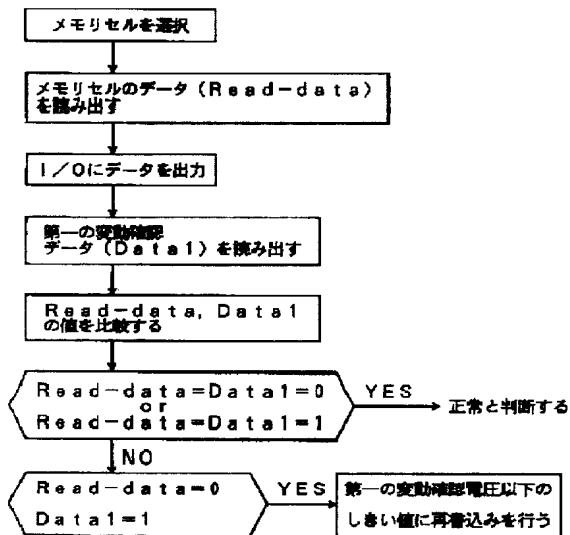
【図9】



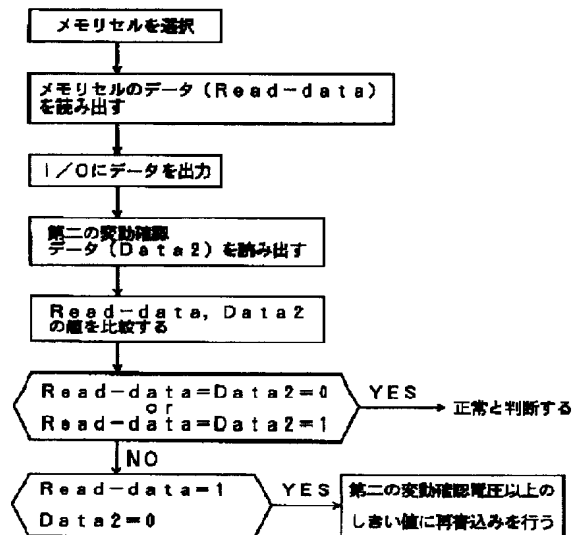
【図7】



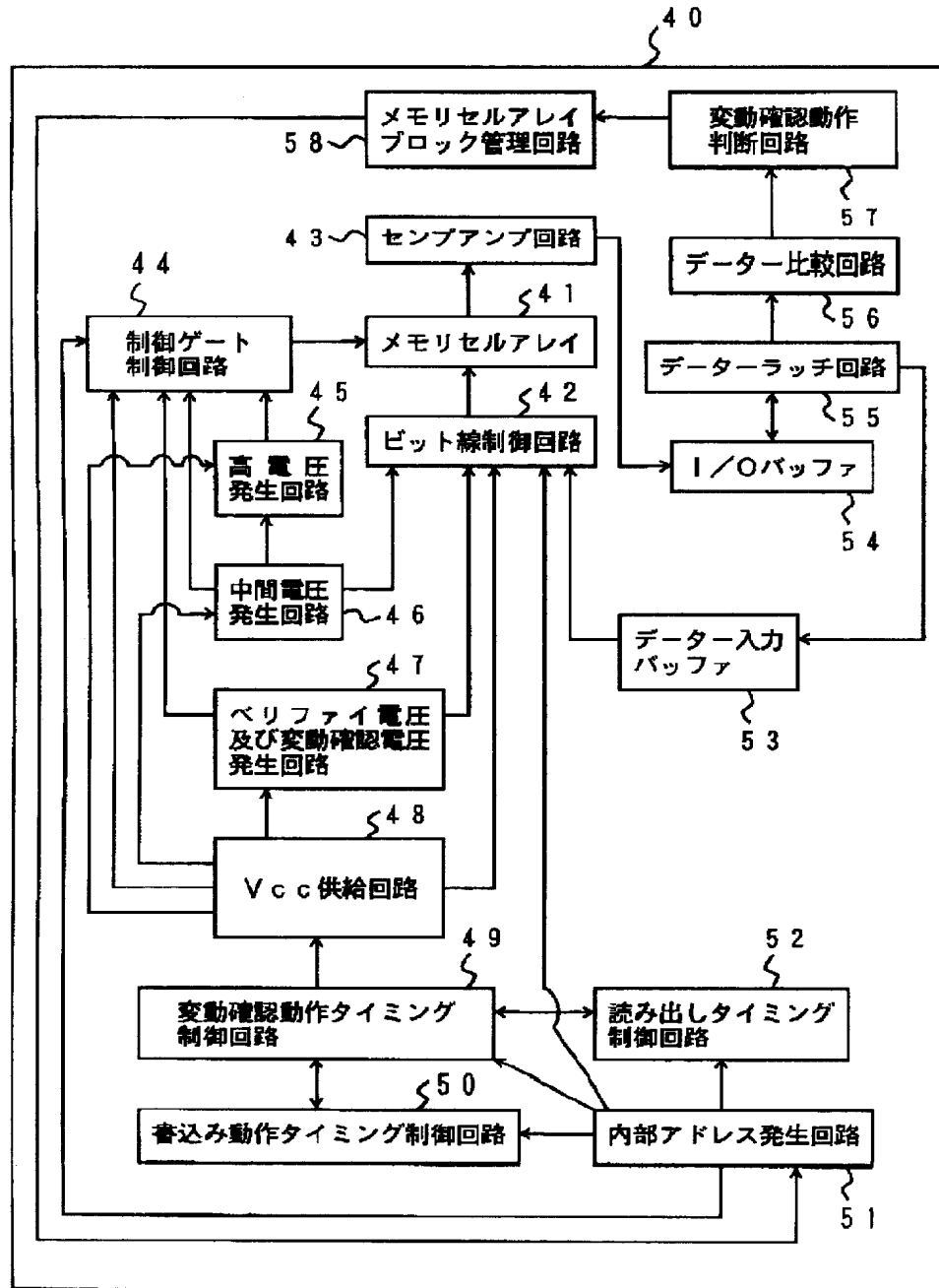
【図10】



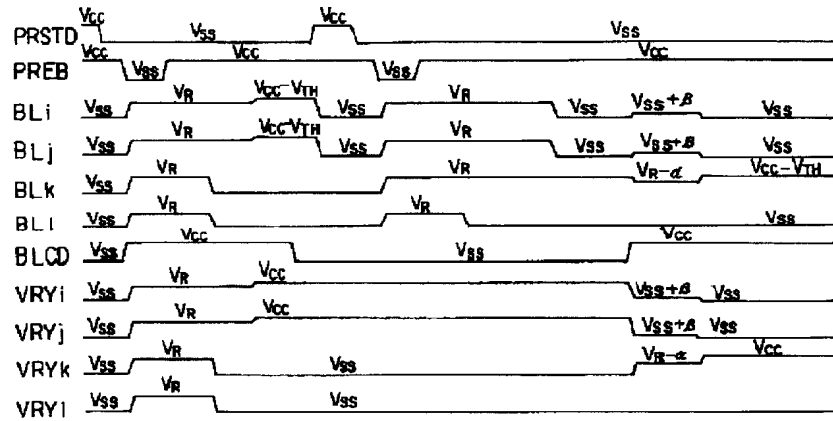
【図11】



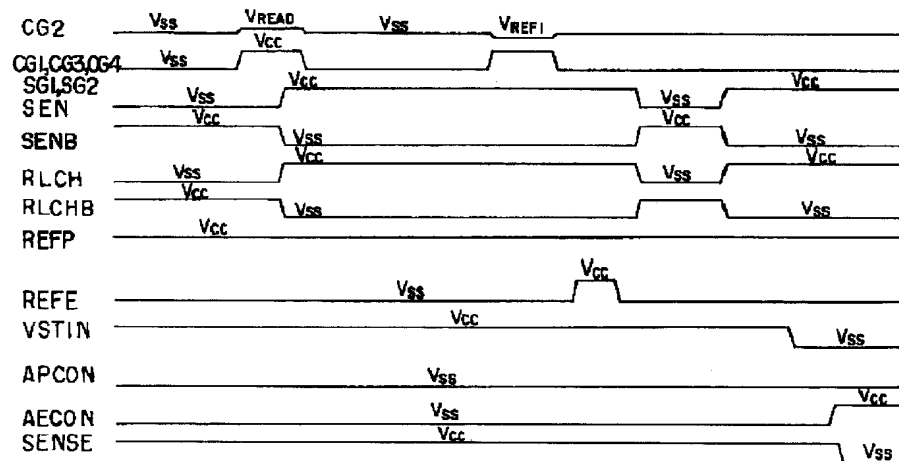
【図 8】



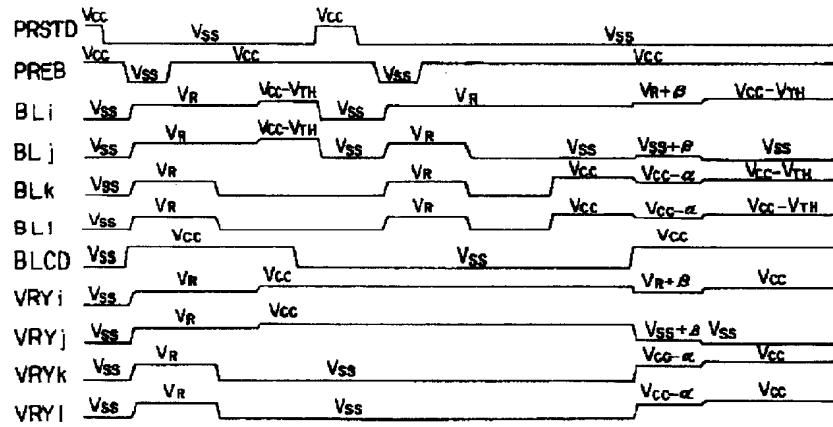
【図14】



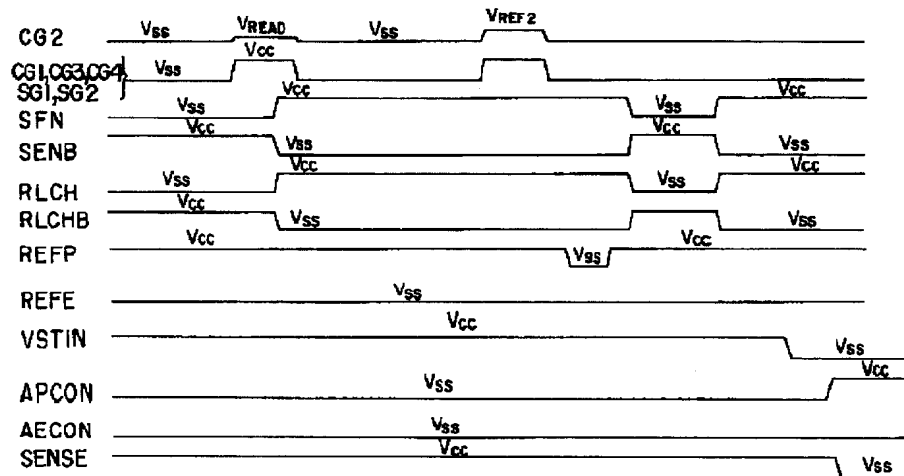
【図15】



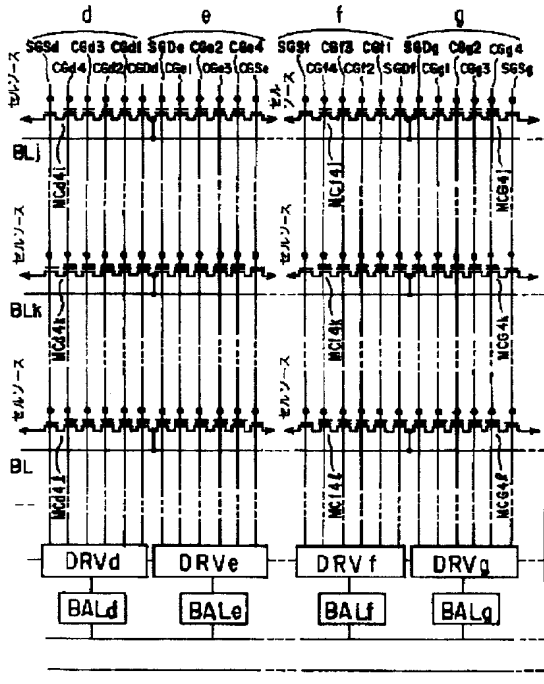
【図16】



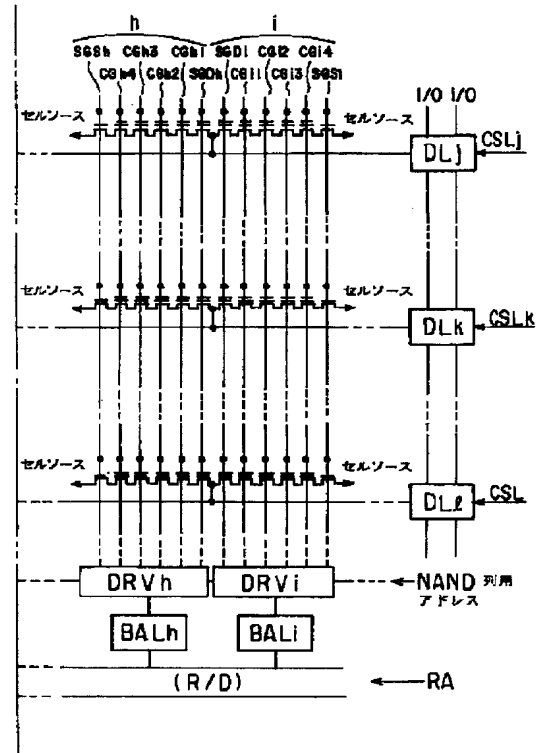
【図17】



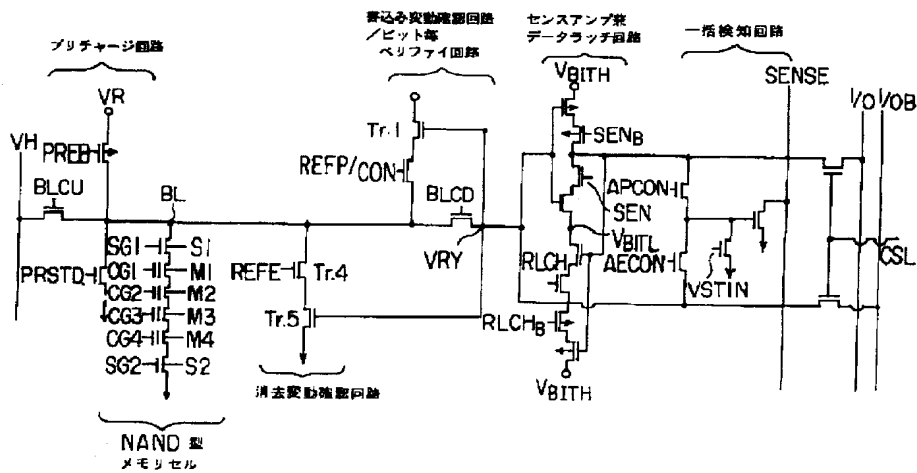
【図18】



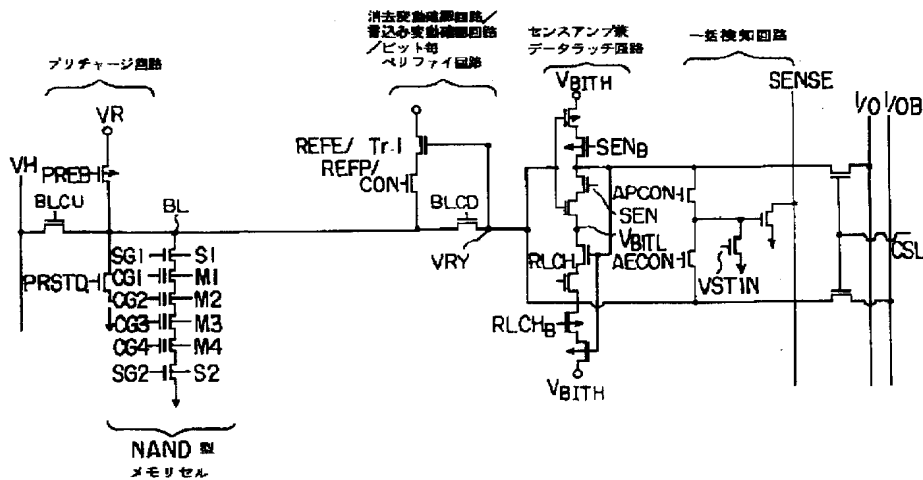
【図19】



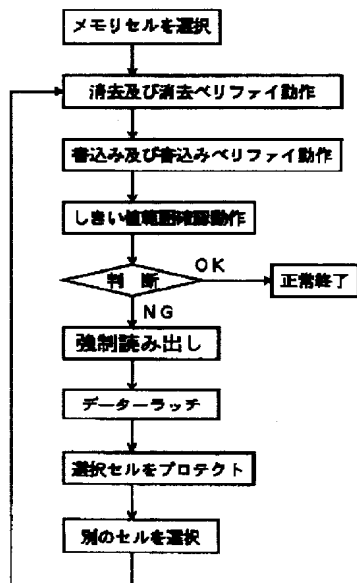
【図20】



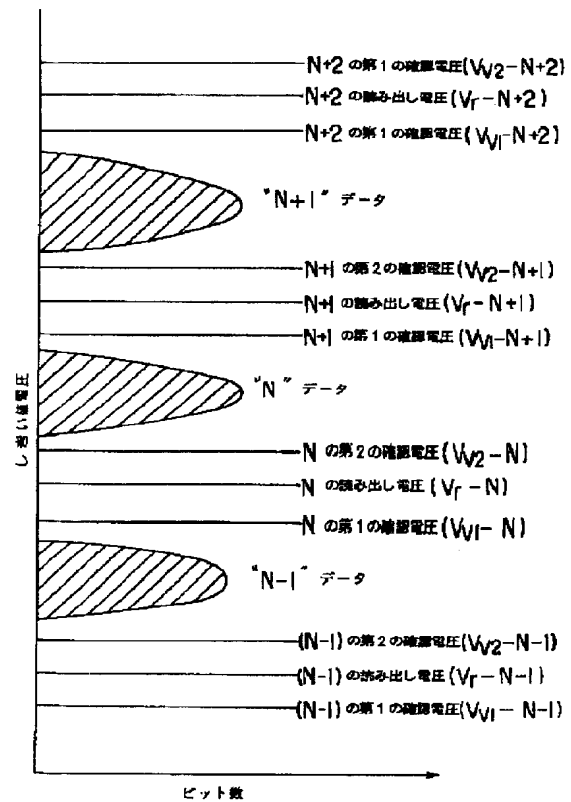
【図21】



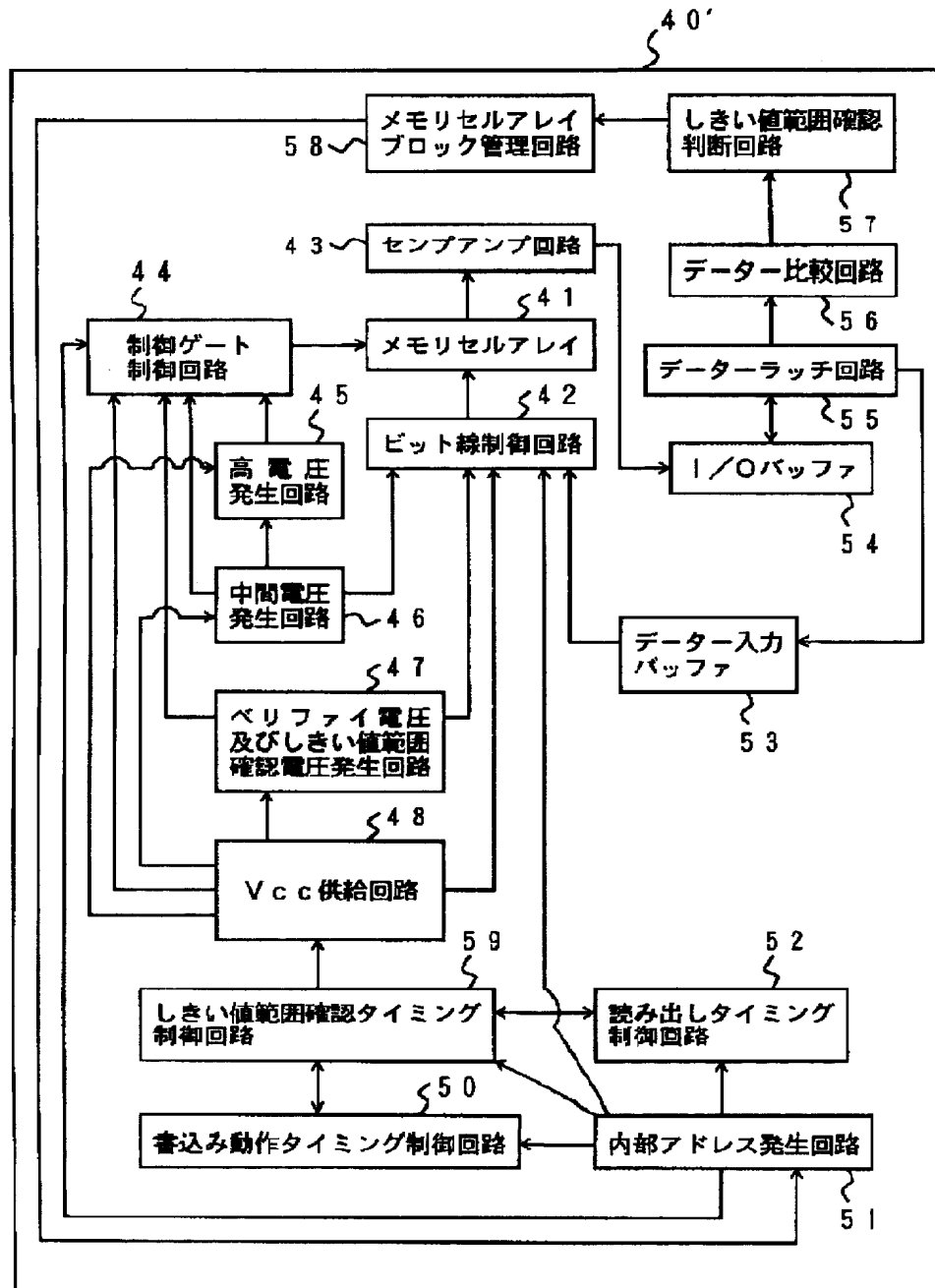
【図24】



【図26】



【図 25】



フロントページの続き

(51) Int. Cl.⁶H01L 29/788
29/792

識別記号

庁内整理番号

FI

技術表示箇所

H01L 29/78

371

(72)発明者 田中 智晴
神奈川県川崎市幸区小向東芝町 1 番地 株
式会社東芝研究開発センター内

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 4 区分
 【発行日】平成 13 年 4 月 6 日 (2001. 4. 6)

【公開番号】特開平 8-77785
 【公開日】平成 8 年 3 月 22 日 (1996. 3. 22)
 【年通号数】公開特許公報 8-778
 【出願番号】特願平 6-207767
 【国際特許分類第 7 版】

G11C 16/06
 H01L 27/115
 21/8247
 29/788
 29/792

【F I】
 G11C 17/00 309 F
 H01L 27/10 434
 29/78 371

【手続補正書】
 【提出日】平成 12 年 5 月 30 日 (2000. 5. 30)

【手続補正 1】
 【補正対象書類名】明細書
 【補正対象項目名】特許請求の範囲
 【補正方法】変更
 【補正内容】
 【特許請求の範囲】

【請求項 1】 半導体層上にメモリセルがマトリクス状に配置されたメモリセルアレイと、前記メモリセルアレイ中の任意の複数のメモリセル、もしくは、前記メモリセルアレイ中の少なくとも同一ワード線につながる複数の個のメモリセルのしきい値を検知するしきい値ペリファイ手段を備えた半導体記憶装置において、前記メモリセルのしきい値状態を、第一の電圧を選択ワード線に印加して、前記ペリファイ手段により、“1”データか“0”データかを検知する第一の動作と、前記複数のメモリセルのしきい値の変動状態を、第一の電圧よりも高い第二の電圧を選択ワード線に印加して、前記ペリファイ手段により、“1”データか、“0”データかを検知する第二の動作と、前記第一の電圧よりも低い第三の電圧を選択ワード線に印加して、前記ペリファイ手段により“1”データか、“0”データかを検知する第三の動作と、前記複数のメモリセルの内少なくとも 1 個以上のセルのデータが、前記第一の電圧を選択ワード線に印加して読み出したデータと、前記第二の電圧を選択ワード線に印加して読み出したデータと、前記第三の電圧を選択ワード線に印加して読み出したデータを比較して、全てが一致しない場合は、しきい値が変動していると検知し、少

なくともしきい値変動しているセルに対して再書き込みを行う第四の動作と、を具備する事を特徴とする半導体記憶装置。

【請求項 2】 半導体層上にメモリセルがマトリクス状に配置されたメモリセルアレイと、前記メモリセルアレイ中の任意の複数のメモリセル、もしくは、前記メモリセルアレイ中の少なくとも同一ワード線につながる複数の個のメモリセルのしきい値を検知するしきい値ペリファイ手段を備えた半導体記憶装置において、前記メモリセルのしきい値状態を、第一の電圧を選択ワード線に印加して、前記ペリファイ手段により、“1”データか“0”データかを検知する第一の動作と、前記複数のメモリセルのしきい値の変動状態を、第一の電圧とは異なる第二の電圧を選択ワード線に印加して、前記ペリファイ手段により、“1”データか、“0”データかを検知する第二の動作と、前記複数のメモリセルの内少なくとも 1 個以上のセルのデータが、前記第一の電圧を選択ワード線に印加して読み出したデータと、前記第二の電圧を選択ワード線に印加して読み出したデータを比較して、一致しない場合は、しきい値が変動していると検知し、少なくともしきい値変動しているセルに対して再書き込みを行う第三の動作と、を具備する事を特徴とする半導体記憶装置。

【請求項 3】 半導体層上にメモリセルがマトリクス状に配置されたメモリセルアレイと、前記メモリセルアレイ中の任意の複数のメモリセル、もしくは、前記メモリセルアレイ中の少なくとも同一ワード線につながる複数の個のメモリセルのしきい値を検知するしきい値ペリファイ手段を備えた半導体記憶装置において、前記メモリセルのしきい値状態を、第一の電圧を選択ワ

ード線に印加して、前記ベリファイ手段により、“1”データか“0”データかを検知する第一の動作と、前記複数のメモリセルのしきい値の変動状態を、第一の電圧よりも高い第二の電圧を選択ワード線に印加して、前記ベリファイ手段により、“1”データか、“0”データかを検知する第二の動作と、前記第一の電圧よりも低い第三の電圧を選択ワード線に印加して、前記ベリファイ手段により、“1”データか、“0”データかを検知する第三の動作と、前記ワード線に、第一の電圧を与えて読み出したメモリセルの第一のデータと、前記ワード線に、第一の電圧よりも高い第二の電圧を与えて読み出したメモリセルの第二のデータを比較する事により、メモリセルのしきい値が変動した事を検知する第四の動作と、前記第四の動作で変動が検知された場合、第二の電圧よりも高い値に少なくとも上記セルに対して、再書き込みを行う第五の動作と、前記ワード線に、第一の電圧を与えて読み出したメモリセルの第一のデータと、前記ワード線に、第一の電圧よりも低い第三の電圧を与えて読み出したメモリセルの第三のデータを比較する事により、メモリセルのしきい値が変動した事を検知する第六の動作と、前記第六の動作で変動が検知された場合、第三の電圧よりも低い値に少なくとも上記セルに対して、再書き込みを行う第七の動作と、を具備する事を特徴とする半導体記憶装置。

【請求項 4】 センスアンプとして機能し、センスした

情報の内第一のデーターをメモリセルの書き込み動作状態を制御するデータとして記憶する機能を兼ね備えた複数のデータ回路と、同時に前記メモリセルアレイ中の複数のメモリセルにそれぞれ対応する前記第一のデータ回路の内容に応じて書き込み動作を行うための書き込み手段と、同時に前記複数のメモリセルの書き込み動作後の状態が所望のデータの記憶状態になっているか否かを確認するため前記しきい値検出手段を用いた書き込みベリファイ手段と、データ回路の第一のデーターの内容とメモリセルの書き込み動作後の状態から書き込み不十分のメモリセルに対してのみ再書き込みを行うように、データ回路の内容を一括更新するデータ回路内容一括更新手段と、前記データ回路内容一括更新手段は、ビット線電圧が再書き込みデータとしてセンス／記憶されるよう、メモリセルの書き込み動作後の状態が出力されるビット線の電圧をデータ回路の内容に応じて修正し、ビット線電圧が修正されるまではデータ回路のデータ記憶状態を保持し、修正されたビット線電圧を保持したままデータ回路をセンスアンプとして動作させ、データ回路の内容の一括更新を行い、データ回路の内容に基づく書き込み動作とデータ回路内容一括更新を、メモリセルが所定の書き込み状態になるまで繰り返しながら行うことにより電氣的にデータ書き込みを行う第八の動作と、をさらに具備している事を特徴とする請求項 4 記載の半導体記憶装置。